

产品目录.....	3
描述.....	3
订货信息.....	3
特征.....	3
各封装引脚配置.....	4
系统方框图.....	7
管脚描述.....	8
特殊功能寄存器(SFR).....	9
功能描述.....	12
1. 总特征.....	12
1.1 嵌入式程序存储器.....	12
1.2 IO 口.....	12
1.3 系统控制标志(SCONF).....	12
2. 指令设置.....	13
3. 存储器结构.....	17
3.1 程序存储器.....	17
3.2 数据存储器.....	18
3.3 数据内存-低 128 字节(00H 到 7FH).....	18
3.4 数据存储器-高 128 字节(80H 到 FFH).....	18
3.5 存储器-扩展的 768 字节(\$0000 到 \$02FF).....	18
4. CPU 结构.....	22
4.1 累加器.....	22
4.2 B 寄存器.....	22
4.3 程序状态字.....	23
4.4 堆栈指针.....	23
4.5 数据指针.....	23
5. GPIO 管脚型态.....	25
6. 定时器 0 和定时器 1.....	26
6.1 定时器/计数器模式控制寄存器(TMOD).....	26
6.2 定时/计数控制寄存器(TCON).....	27
6.3 模式 0 (13 位定时/计数).....	27
6.4 模式 1 (16 位定时/计数).....	28
6.5 模式 2 (8 位自动重载定时/计数).....	28
6.6 模式 3 (两个独立 8 位定时/计数(仅定时器 0)).....	29
7. 定时器 2.....	30
7.1 捕获模式.....	31
7.2 自动重装模式 (递增/递减计数器).....	31
7.3 编程时钟输出.....	33
8. 串行接口.....	35
8.1 串行接口由以下 4 种模式可以设置.....	35
8.2 串行接口的多重机通讯.....	37
8.3 波特率发生器.....	37
9. 中断.....	39
10. 看门狗定时器.....	41
11. 电源管理单元.....	43
11.1 待机模式(空闲模式).....	43
11.2 掉电模式.....	43
12. 脉宽调制器(PWM).....	44
13. TWO-WIRE SERIES INTERFACE (TWSI).....	46
14. 在系统编程(INTERNAL ISP).....	49

Specifications subject to change without notice contact your sales representatives for the most recent information.



14.1	ISP 服务程序.....	49
14.2	锁定位(N).....	49
14.3	对 ISP 服务程序编程.....	50
14.4	启动 ISP 服务程序	50
14.5	ISP 寄存器– TAKEY, IFCON, ISPFAN, ISPFAL, ISPC	51
工作环境.....		53

产品目录

SM5952EW40PP,
SM5952EW44JP,
SM5952EW44QP,

描述

SM5952E 产品系列是(内嵌)8KB+4KB Flash 和 1KB SRAM 的 8-bit 的微控制器，它是 8052 微处理器的一衍生产品，且兼容相关设置。

可支持到 36 个 I/O，8KB+4KB Flash 可用来存放程序或数据。并可透过商用编程器或 ISP 方式烧写。

订货信息

SM5952EihhkL YWW

i: 工艺标志{ W = 3V ~ 5.5V}

hh: 封装脚位

k: 封装形式后缀{as table below }

L: 无铅标志

{无文字即含铅，"P" 即无铅}

Y: 年

WW: 周(01-52)

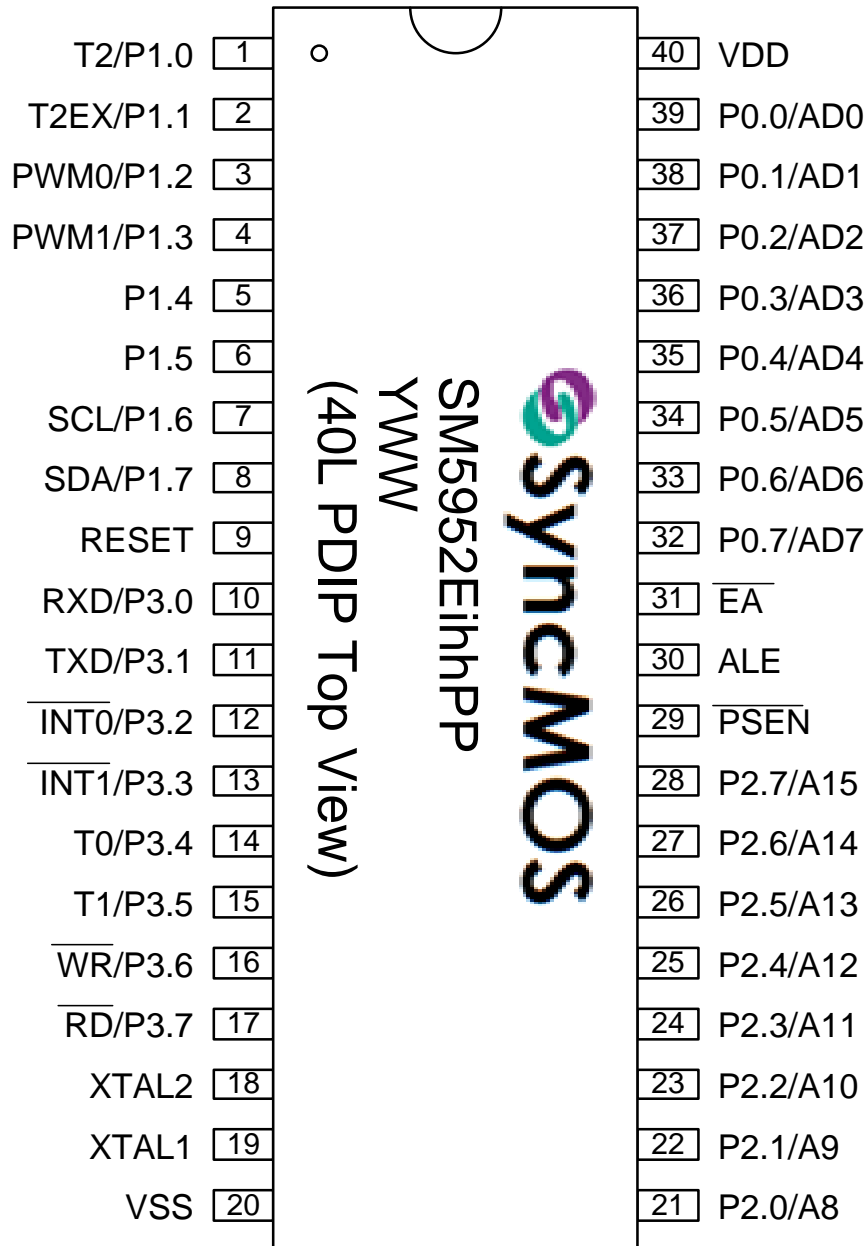
特征

- 工作电压: 3 ~ 5.5V，最高可达 40MHz
- 兼容通用的 8052
- 12 或 6 时钟周期 / 机器周期
- 指令设置兼容 MCS-51
- 8KB+4KB 字节的片上闪存程序存储器
- 256B 字节的标准的 8052 RAM，加 768 字节的片上扩展 SRAM。
- 16-bit 数据指针 (DPTR)
- 一个标准串口(UART)
- 3 个 16bit 的计时器/计数器(计时器 0，1，2)
- 4 个 8bit I/O 外加 1 个 4bit I/O
- 具有 2 级优先权的外部中断 0&外部中断 1
- 看门狗定时器 (WDT)
- 一个 IIC 接口 (主/从机模式)
- 2 路 8 位/5 位脉宽调制(PWM)
- 具有 7 个中断源及两个优先级
- 片上闪存存储器支持 ISP/IAP
- ISP 服务程序存储空间设置为 N*512 byte (N=0 to 8)
- 管脚 ESD 性能超过 4KV
- 增强用户代码保护
- 电源管理单元空闲及掉电模式

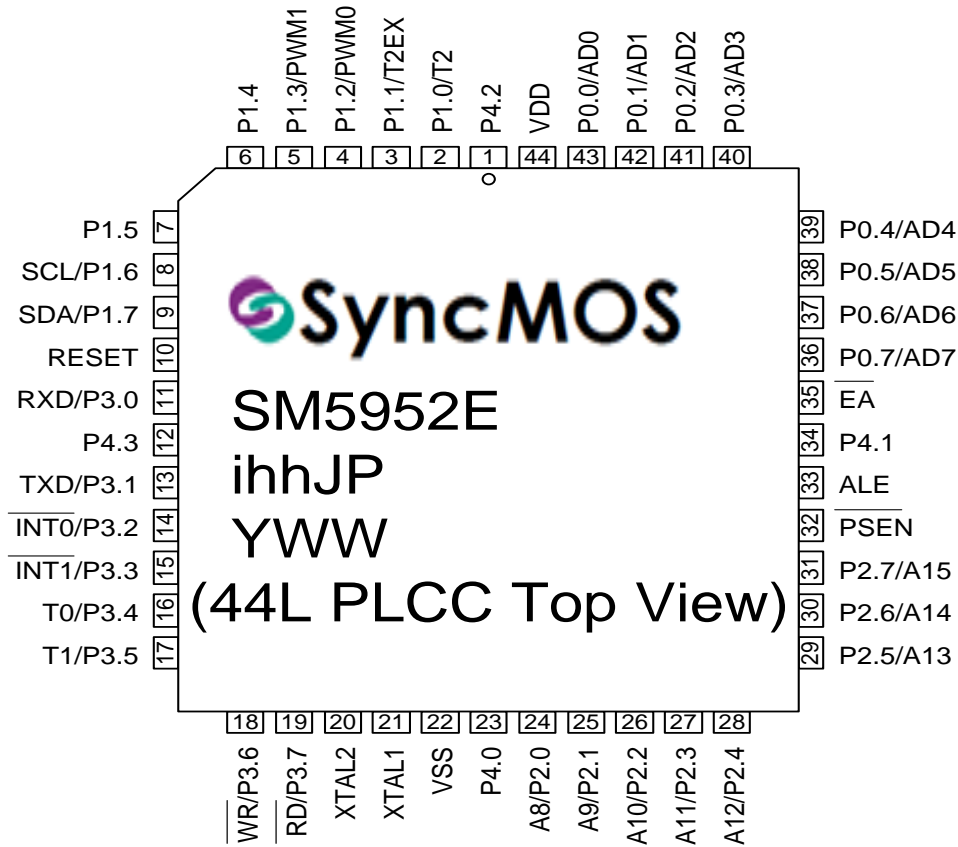
Postfix	Package
P	PDIP
J	PLCC
Q	PQFP

各封装引脚配置

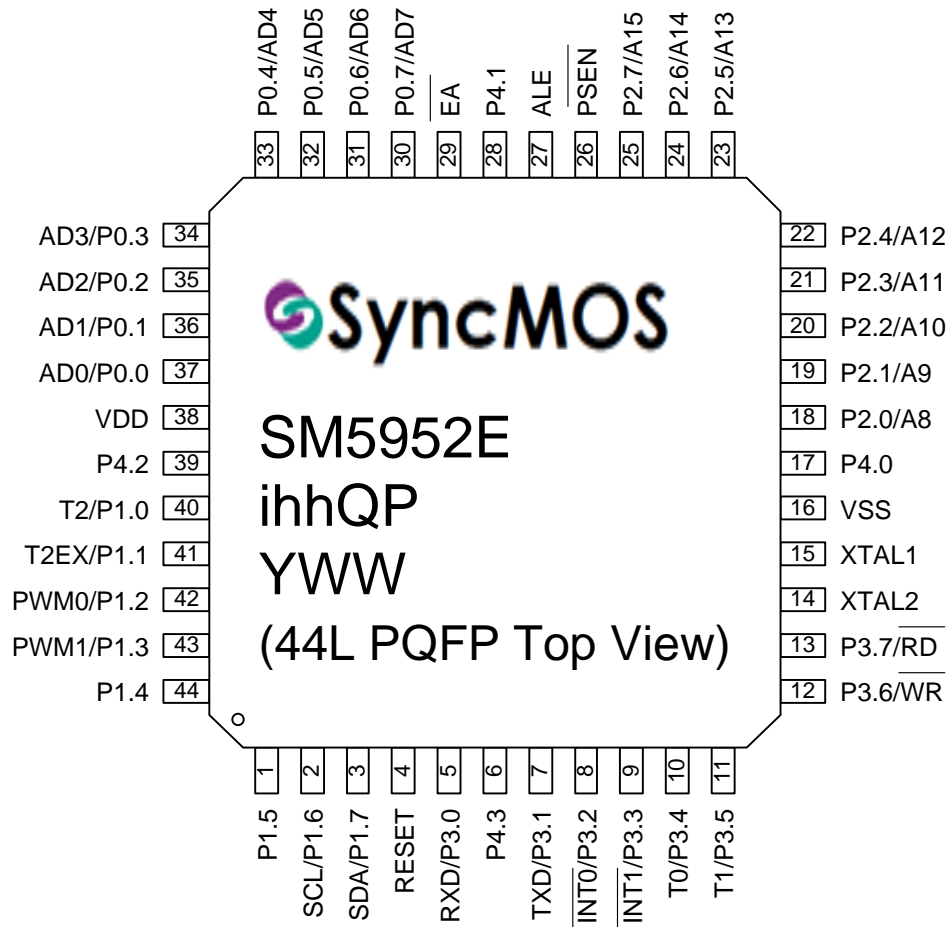
40 Pin PDIP



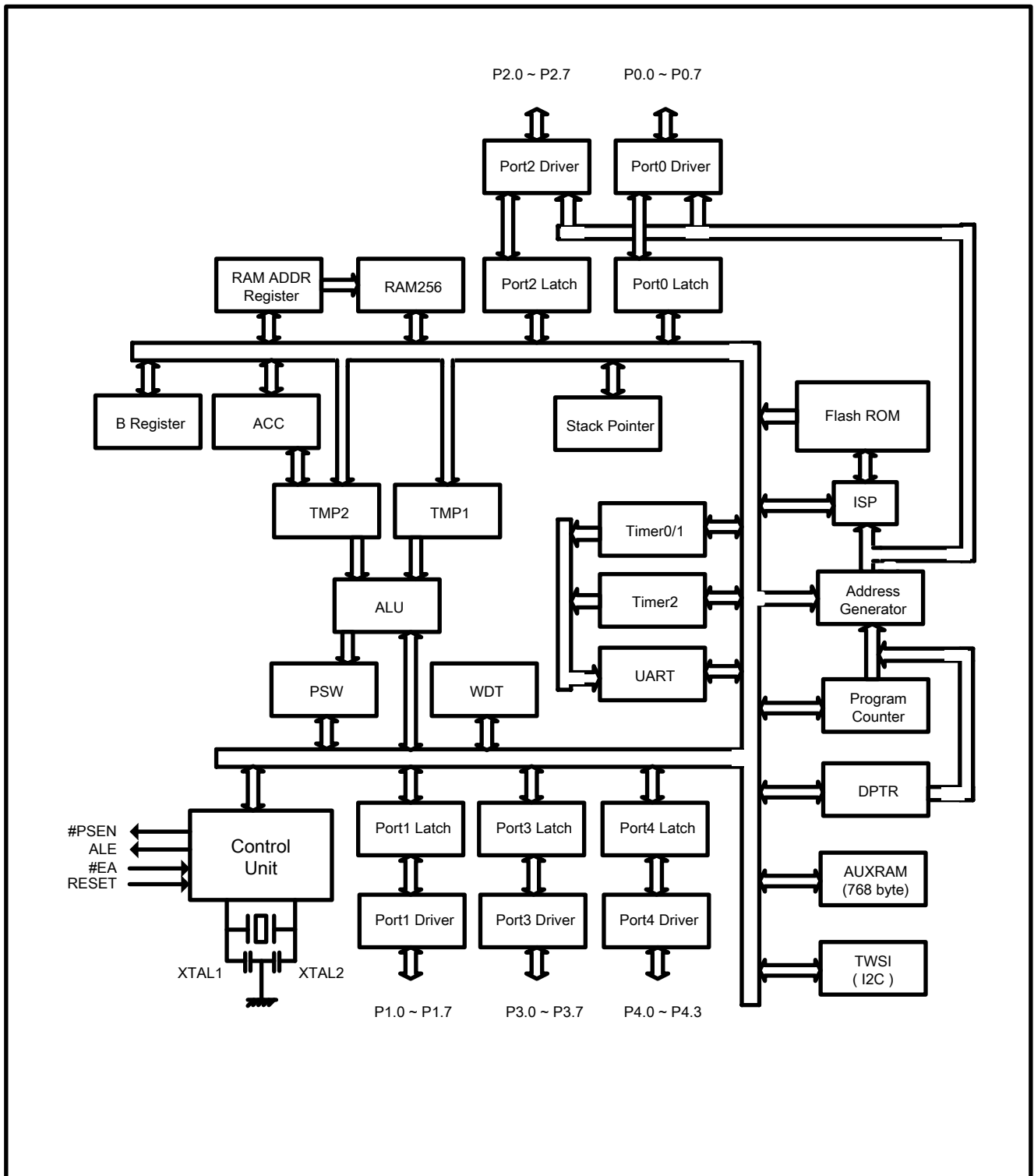
44 Pin PLCC



44 Pin PQFP



系統方框圖



管脚描述

40L PDIP	44L PLCC	44L PQFP	代号	I/O	描述
-	1	39	P4.2	I/O	P4口的位2
1	2	40	P1.0/T2	I/O	P1口的位0 & 定时器2外部输入时钟
2	3	41	P1.1/T2EX	I/O	P1口的位1 & 定时器2捕获触发器
3	4	42	P1.2/PWM0	I/O	P1口的位2 & PWM 通道0
4	5	43	P1.3/PWM1	I/O	P1口的位3 & PWM 通道1
5	6	44	P1.4	I/O	P1口的位4
6	7	1	P1.5	I/O	P1口的位5
7	8	2	P1.6/SCL	I/O	P1口的位6 & IIC串行时钟线
8	9	3	P1.7/SDA	I/O	P1口的位7 & IIC串行数据线
9	10	4	RESET	I	复位
10	11	5	P3.0/RXD	I/O	P3口的位0 & 串行接口输入
-	12	6	P4.3	I/O	P4口的位3
11	13	7	P3.1/TXD	I/O	P3口的位1 & 串行接口输出
12	14	8	P3.2/INT0	I/O	P3口的位2 & 外部中断0
13	15	9	P3.3/INT1	I/O	P3口的位3 & 外部中断1
14	16	10	P3.4/T0	I/O	P3口的位4 & 定时器0外部输入
15	17	11	P3.5/T1	I/O	P3口的位5 & 定时器1外部输入
16	18	12	P3.6/WR	I/O	P3口的位6 & 外部内存写入信号
17	19	13	P3.7/RD	I/O	P3口的位7 & 外部内存读取信号
18	20	14	XTAL2	I/O	晶振输出
19	21	15	XTAL1	I/O	晶振输入
20	22	16	VSS	I	供电电源地
-	23	17	P4.0	I/O	P4口的位0
21	24	18	P2.0/A8	I/O	P2口的位0 & 外部内存地址的位8
22	25	19	P2.1/A9	I/O	P2口的位1 & 外部内存地址的位9
23	26	20	P2.2/A10	I/O	P2口的位2 & 外部内存地址的位10
24	27	21	P2.3/A11	I/O	P2口的位3 & 外部内存地址的位11
25	28	22	P2.4/A12	I/O	P2口的位4 & 外部内存地址的位12
26	29	23	P2.5/A13	I/O	P2口的位5 & 外部内存地址的位13
27	30	24	P2.6/A14	I/O	P2口的位6 & 外部内存地址的位14
28	31	25	P2.7/A15	I/O	P2口的位7 & 外部内存地址的位15
29	32	26	PSEN	O	程序启发使能
30	33	27	ALE	O	地址锁存使能
-	34	28	P4.1	I/O	P4口的位1
31	35	29	EA	I	外部程序内存使能
32	36	30	P0.7/AD7	I/O	P0口的位7 & 外部内存地址/数据的位7
33	37	31	P0.6/AD6	I/O	P0口的位6 & 外部内存地址/数据的位6
34	38	32	P0.5/AD5	I/O	P0口的位5 & 外部内存地址/数据的位5
35	39	33	P0.4/AD4	I/O	P0口的位4 & 外部内存地址/数据的位4
36	40	34	P0.3/AD3	I/O	P0口的位3 & 外部内存地址/数据的位3
37	41	35	P0.2/AD2	I/O	P0口的位2 & 外部内存地址/数据的位2
38	42	36	P0.1/AD1	I/O	P0口的位1 & 外部内存地址/数据的位1
39	43	37	P0.0/AD0	I/O	P0口的位0 & 外部内存地址/数据的位0
40	44	38	VDD	I	数字电源电压

Specifications subject to change without notice contact your sales representatives for the most recent information.

特殊功能寄存器(SFR)

80h 到 FFh 的地址是 SM5952E 特殊功能寄存器的位置。这些地址只能通过直接寻址的方式寻址。下面这张表给出了 SFRs，部分特殊功能寄存器的位置与通用的 8052 系列相同：

Hex\Bin	X000	X001	X010	X011	X100	X101	X110	X111	Bin/Hex
F8									FF
F0	B				ISPFALH	ISPFAL	ISPFD	ISPC	F7
E8									EF
E0	ACC								E7
D8	P4								DF
D0	PSW			PWMC0	PWMC1				D7
C8	T2CON	T2MOD	RCAP2L	RCAP2H	TL2	TH2			CF
C0	TWSIS	TWSIA	TWSIC1	TWSIC2	TWSITXD	TWSIRXD			C7
B8	IP	IP1						SCONF	BF
B0	P3			PWDD0	PWMD1				B7
A8	IE	IE1	IFR						AF
A0	P2								A7
98	SCON	SBUF		P1CON				WDTC	9F
90	P1								97
88	TCON	TMOD	TL0	TL1	TH0	TH1			8F
80	P0	SP	DPL	DPH		RCON	DBANK	PCON	87
Hex\Bin	X000	X001	X010	X011	X100	X101	X110	X111	Bin/Hex

注：SM5952E 特殊功能寄存器的重置值在下表描述

	寄存器	地址	重置值	描述
1	P0	80H	FFH	Port 0
2	SP	81H	07H	Stack Pointer
3	DPL	82H	00H	Data Pointer 0 low byte
4	DPH	83H	00H	Data Pointer 0 high byte
5	RCON	85H	00H	RAM Control
6	DBANK	86H	01H	Data RAM bank select
7	PCON	87H	00H	Power Control
8	TCON	88H	00H	Timer/Counter Control
9	TMOD	89H	00H	Timer Mode Control
10	TL0	8AH	00H	Timer 0, low byte
11	TL1	8BH	00H	Timer 1, low byte
12	TH0	8CH	00H	Timer 0, high byte
13	TH1	8DH	00H	Timer 1, high byte
14	P1	90H	FFH	Port 1
15	SCON	98H	00H	Serial Port 0, Control Register
16	SBUF	99H	00H	Serial Port 0, Data Buffer
17	P1CON	9BH	00H	P1 control
18	WDTC	9FH	00H	Watch Dog Timer Control
19	P2	A0H	FFH	Port 2
20	IE	A8H	00H	Interrupt Enable
21	IE1	A9H	00H	Interrupt Enable 1
22	IFR	AAH	00H	Interrupt Flag for read
23	P3	B0H	FFH	Port 3
24	PWMD0	B3H	00H	PWM Data 0
25	PWMD1	B4H	00H	PWM Data 1
26	IP	B8H	00H	Interrupt Priority
27	IP1	B9H	00H	Interrupt Priority 1
28	SCONF	BFH	02H	System Control Register
29	TWSIS	C0H	00H	TWSI Status
30	TWSIA	C1H	A0H	TWSI Address
31	TWSIC1	C2H	01H	TWSI Control 1
32	TWSIC2	C3H	00H	TWSI Control 2
33	TWSITXD	C4H	FFH	TWSI Transmit Data
34	TWSIRXD	C5H	00H	TWSI Receive Data
35	T2CON	C8H	00H	Timer 2 Control
36	T2MOD	C9H	00H	Timer 2 Mode
37	RCAP2L	CAH	00H	Timer2 Capture Low
38	RCAP2H	CBH	00H	Timer2 Capture High
39	TL2	CCH	00H	Timer 2, low byte
40	TH2	CDH	00H	Timer 2, high byte

Specifications subject to change without notice contact your sales representatives for the most recent information.

41	PSW	D0H	00H	Program Status Word
42	PWMC0	D3H	00H	PWM Control 0
43	PWMC1	D4H	00H	PWM Control 1
44	P4	D8H	xFH	Port 4
45	ACC	E0H	00H	Accumulator
46	B	F0H	00H	B Register
47	ISPF AH	F4H	00H	ISP Flash Address-High Register
48	ISPF AL	F5H	00H	ISP Flash Address-Low Register
49	ISPF D	F6H	00H	ISP Flash Data Register
50	ISPC	F7H	00H	ISP control Register

功能描述

1. 总特征

SM5952E是一个8位的微处理器，它的所有功能以及特殊功能寄存器（SFR）的详细定义将在以下章节给出。

1.1 嵌入式程序存储器

商用编程器(commercial writer)或ISP (In-System Programming)将程序加载到8KB+4KB的嵌入式程序存储器中。

1.2 IO 口

SM5952E的I/O口和通用的8052完全兼容，P0口是一个8位漏极开路的双向I/O口，在作输入或者输出高电平时，加上拉电阻是必要的。P1~P4口具有内部上拉电阻。

1.3 系统控制标志(SCONF)

Mnemonic: SCONF								Address: BFh	
7	6	5	4	3	2	1	0	Reset	
WDR	-	-	PDWUE	-	ISPE	OME	ALEI	02h	

WDR: 看门狗定时器复位。

当系统被看门狗定时器发生溢位时，WDR 将被设为 1。

使用者可读取 WDR 确认是否曾发生看门狗复位。

PDWUE: 掉电模式唤醒使能位。

设为 1 时始能 INT0/INT1 可唤醒掉电模式的功能。

ISPE: ISP 功能使能位。

ISPE=1，使能 ISP 功能。

ISPE=0，禁止 ISP 功能。

OME: 外扩的片上 768B 的 SRAM 使能位。

OME = 1，使能片上 768B 的 SRAM。

OME = 0，禁能片上 768B 的 SRAM。

ALEI: ALE 输出使能位。

ALEI = 1，禁止 ALE 输出。

ALEI = 0，允许 ALE 输出。

2. 指令设置

所有SM5952E的指令都是兼容的二进制码，且具有标准的8051一样的功能，以下表格列出了以SM5952E微控器为核心的指令集的周期的总结，这里的周期表示为机器周期。

表 2-1: Arithmetic operations

符号	描述	代码	字节	周期
ADD A,Rn	Add register to accumulator	28-2F	1	1
ADD A,direct	Add direct byte to accumulator	25	2	2
ADD A,@Ri	Add indirect RAM to accumulator	26-27	1	2
ADD A,#data	Add immediate data to accumulator	24	2	2
ADDC A,Rn	Add register to accumulator with carry flag	38-3F	1	1
ADDC A,direct	Add direct byte to A with carry flag	35	2	2
ADDC A,@Ri	Add indirect RAM to A with carry flag	36-37	1	2
ADDC A,#data	Add immediate data to A with carry flag	34	2	2
SUBB A,Rn	Subtract register from A with borrow	98-9F	1	1
SUBB A,direct	Subtract direct byte from A with borrow	95	2	2
SUBB A,@Ri	Subtract indirect RAM from A with borrow	96-97	1	2
SUBB A,#data	Subtract immediate data from A with borrow	94	2	2
INC A	Increment accumulator	04	1	1
INC Rn	Increment register	08-0F	1	2
INC direct	Increment direct byte	05	2	3
INC @Ri	Increment indirect RAM	06-07	1	3
INC DPTR	Increment data pointer	A3	1	1
DEC A	Decrement accumulator	14	1	1
DEC Rn	Decrement register	18-1F	1	2
DEC direct	Decrement direct byte	15	2	3
DEC @Ri	Decrement indirect RAM	16-17	1	3
MUL AB	Multiply A and B	A4	1	5
DIV	Divide A by B	84	1	5
DA A	Decimal adjust accumulator	D4	1	1

表 2-2: Logic operations

符号	描述	代码	字节	周期
ANL A,Rn	AND register to accumulator	58-5F	1	1
ANL A,direct	AND direct byte to accumulator	55	2	2
ANL A,@Ri	AND indirect RAM to accumulator	56-57	1	2
ANL A,#data	AND immediate data to accumulator	54	2	2
ANL direct,A	AND accumulator to direct byte	52	2	3
ANL direct,#data	AND immediate data to direct byte	53	3	4
ORL A,Rn	OR register to accumulator	48-4F	1	1
ORL A,direct	OR direct byte to accumulator	45	2	2
ORL A,@Ri	OR indirect RAM to accumulator	46-47	1	2
ORL A,#data	OR immediate data to accumulator	44	2	2
ORL direct,A	OR accumulator to direct byte	42	2	3
ORL direct,#data	OR immediate data to direct byte	43	3	4
XRL A,Rn	Exclusive OR register to accumulator	68-6F	1	1
XRL A,direct	Exclusive OR direct byte to accumulator	65	2	2
XRL A,@Ri	Exclusive OR indirect RAM to accumulator	66-67	1	2
XRL A,#data	Exclusive OR immediate data to accumulator	64	2	2
XRL direct,A	Exclusive OR accumulator to direct byte	62	2	3
XRL direct,#data	Exclusive OR immediate data to direct byte	63	3	4
CLR A	Clear accumulator	E4	1	1
CPL A	Complement accumulator	F4	1	1
RL A	Rotate accumulator left	23	1	1
RLC A	Rotate accumulator left through carry	33	1	1
RR A	Rotate accumulator right	03	1	1
RRC A	Rotate accumulator right through carry	13	1	1
SWAP A	Swap nibbles within the accumulator	C4	1	1

表 2-3: Data transfer

符号	描述	代码	字节	周期
MOV A,Rn	Move register to accumulator	E8-EF	1	1
MOV A,direct	Move direct byte to accumulator	E5	2	2
MOV A,@Ri	Move indirect RAM to accumulator	E6-E7	1	2
MOV A,#data	Move immediate data to accumulator	74	2	2
MOV Rn,A	Move accumulator to register	F8-FF	1	2
MOV Rn,direct	Move direct byte to register	A8-AF	2	4
MOV Rn,#data	Move immediate data to register	78-7F	2	2
MOV direct,A	Move accumulator to direct byte	F5	2	3
MOV direct,Rn	Move register to direct byte	88-8F	2	3
MOV direct1,direct2	Move direct byte to direct byte	85	3	4
MOV direct,@Ri	Move indirect RAM to direct byte	86-87	2	4
MOV direct,#data	Move immediate data to direct byte	75	3	3
MOV @Ri,A	Move accumulator to indirect RAM	F6-F7	1	3
MOV @Ri,direct	Move direct byte to indirect RAM	A6-A7	2	5
MOV @Ri,#data	Move immediate data to indirect RAM	76-77	2	3
MOV DPTR,#data16	Load data pointer with a 16-bit constant	90	3	3
MOVC A,@A+DPTR	Move code byte relative to DPTR to accumulator	93	1	3
MOVC A,@A+PC	Move code byte relative to PC to accumulator	83	1	3
MOVX A,@Ri	Move external RAM (8-bit addr.) to A	E2-E3	1	3
MOVX A,@DPTR	Move external RAM (16-bit addr.) to A	E0	1	3
MOVX @Ri,A	Move A to external RAM (8-bit addr.)	F2-F3	1	4
MOVX @DPTR,A	Move A to external RAM (16-bit addr.)	F0	1	4
PUSH direct	Push direct byte onto stack	C0	2	4
POP direct	Pop direct byte from stack	D0	2	3
XCH A,Rn	Exchange register with accumulator	C8-CF	1	2
XCH A,direct	Exchange direct byte with accumulator	C5	2	3
XCH A,@Ri	Exchange indirect RAM with accumulator	C6-C7	1	3
XCHD A,@Ri	Exchange low-order nibble indir. RAM with A	D6-D7	1	3

表 2-4: Program branches

符号	描述	代码	字节	周期
ACALL addr11	Absolute subroutine call	xxx11	2	6
LCALL addr16	Long subroutine call	12	3	6
RET	from subroutine	22	1	4
RETI	from interrupt	32	1	4
AJMP addr11	Absolute jump	xxx01	2	3
LJMP addr16	Long iump	02	3	4
SJMP rel	Short jump (relative addr.)	80	2	3
JMP @A+DPTR	Jump indirect relative to the DPTR	73	1	2
JZ rel	Jump if accumulator is zero	60	2	3
JNZ rel	Jump if accumulator is not zero	70	2	3
JC rel	Jump if carry flag is set	40	2	3
JNC	Jump if carry flag is not set	50	2	3
JB bit,rel	Jump if direct bit is set	20	3	4
JNB bit,rel	Jump if direct bit is not set	30	3	4
JBC bit,direct rel	Jump if direct bit is set and clear bit	10	3	4
CJNE A,direct rel	Compare direct byte to A and jump if not equal	B5	3	4
CJNE A,#data rel	Compare immediate to A and jump if not equal	B4	3	4
CJNE Rn,#data rel	Compare immed. to reg. and jump if not equal	B8-BF	3	4
CJNE @Ri,#data rel	Compare immed. to ind. and jump if not equal	B6-B7	3	4
DJNZ Rn,rel	Decrement register and jump if not zero	D8-DF	2	3
DJNZ direct,rel	Decrement direct byte and jump if not zero	D5	3	4
NOP	No operation	00	1	1

表 2-5: Boolean manipulation

符号	描述	代码	字节	周期
CLR C	Clear carry flag	C3	1	1
CLR bit	Clear direct bit	C2	2	3
SETB C	Set carry flag	D3	1	1
SETB bit	Set direct bit	D2	2	3
CPL C	Complement carry flag	B3	1	1
CPL bit	Complement direct bit	B2	2	3
ANL C,bit	AND direct bit to carry flag	82	2	2
ANL C,/bit	AND complement of direct bit to carry	B0	2	2
ORL C,bit	OR direct bit to carry flag	72	2	2
ORL C,/bit	OR complement of direct bit to carry	A0	2	2
MOV C,bit	Move direct bit to carry flag	A2	2	2
MOV bit,C	Move carry flag to direct bit	92	2	3

3. 存储器结构

SM5952E存储器结构和通用的8051结构相同，它们是作为程序存储器的8KB+4KB的嵌入式闪存。

3.1 程序存储器

SM5952E有8KB+4KB的嵌入式闪存，如以下图 3-1，可做为通用的程序存储。其它还包括最大为4K的特定ISP服务程序存储空间。这8KB+4KB的地址从\$0000 to \$2FFF，ISP服务程序的地址从\$2000 to \$2FFF。ISP服务程序空间可以被分割N块512字节(N=0 to 8)。当N=0时，意味着没有ISP复位程序空间可用，全部的8KB+4KB字节空间都被用来做程序存储。当N=1时，意味着地址\$2E00 to \$2FFF保留为ISP服务程序空间。当N=2意味着内存地址\$2C00 to \$2FFF保留为ISP服务程序空间等等... 数值N可以通过编程器设置。

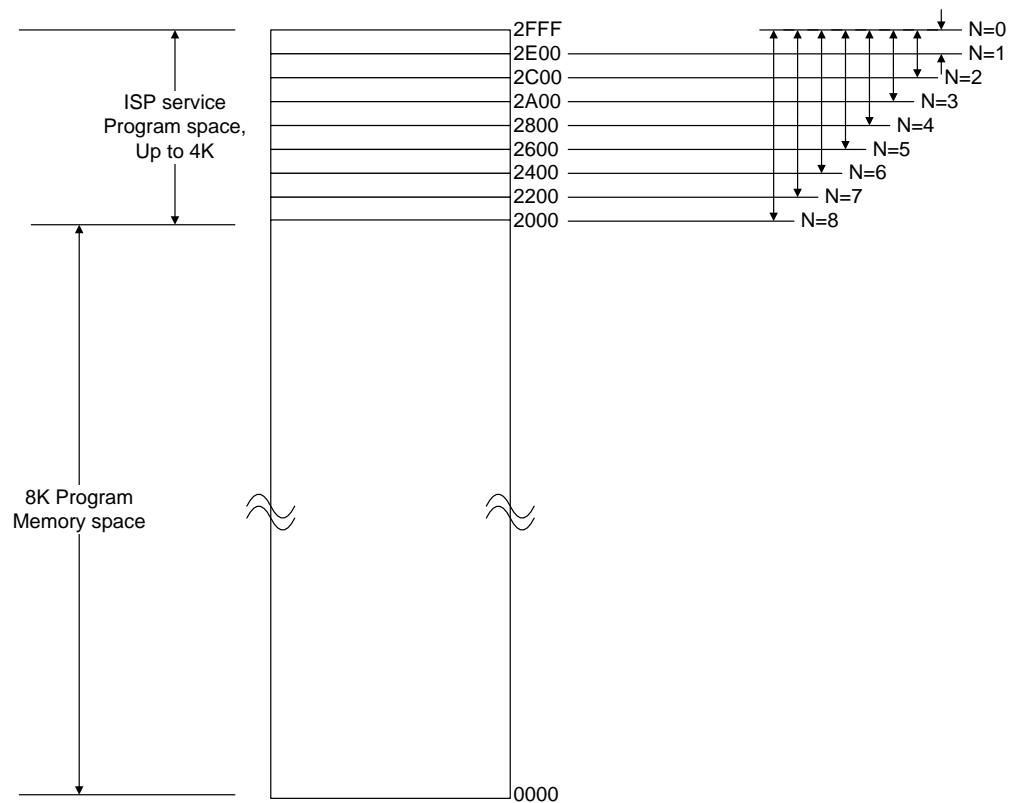


图 3-1: SM5952E programmable Flash

3.2 数据存储器的

SM5952E具有256B Bytes的片上SRAM，如以下 图 3-2，256 Bytes和通用的8052内部存储器结构一样，同时扩大768字节片上 SRAM 可以访问外部内存寻址（由指令 MOVX）。

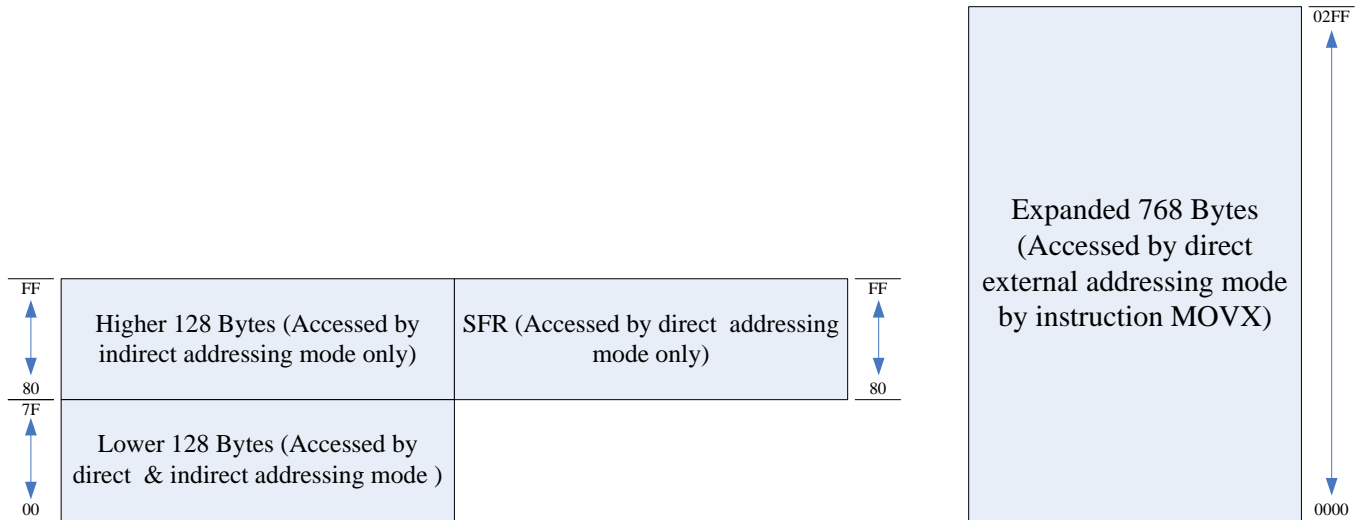


图 3-2: RAM architecture

3.3 数据内存-低 128 字节(00h 到 7Fh)

数据存储器从 00h 到 FFh 的地址和在 8052 中的定义是一样的。
 00h 到 7Fh 的地址可通过直接或者间接寻址方式访问。
 00h 到 1Fh 是寄存器的空间。
 20h 到 2Fh 是位寻址空间。
 30h 到 7Fh 是通用的数据存储区。

3.4 数据存储器-高 128 字节(80h 到 FFh)

80h 到 FFh 的地址仅仅能从间接寻址的方式访问，它是一个数据区。

3.5 存储器-扩展的 768 字节(\$0000 到 \$02FF)

从外部地址为 0000h 到 02FFh 是片上扩大的 SRAM 区域，一共768字节。这一区域可以是由访问外部直接寻址模式 (MOVX 指令)。

符号	描述	地址	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	重置值
Expanded RAM											
SCONF	System Configuration Register	BFh	WDR	-	-	PDWU E	-	ISPE	OME	ALEI	02H
RCON	Internal RAM Control Register	85h	-	-	-	-	-	-	RAMS 1	RAMS 0	00H
DBANK	Data Bank Control Register	86h	BSE	-	-	-	BS3	BS2	BS1	BS0	01H

符号: SCONF								地址: BFh	
7	6	5	4	3	2	1	0	Reset	
WDR	-	-	PDWUE	-	ISPE	OME	ALEI	02H	

OME: 外扩的片上 768B 的 SRAM 使能位。
 设 1 使能片上 768B 的 SRAM。

有两个方法可以存取片上扩展的768B 的 SRAM 。一种为使用MOVX指令，另一种为使用特殊的地址库切换并结合MOV指令使用。

方法1: 使用MOVX指令

如果OME始能，使用MOVX @DPTR指令，若超过768字节将会自动改为存取外挂的SRAM。如果OME禁能，使用MOVX @DPTR，IC将完全存取外挂的SRAM。OME默认值为1。

扩展的768B 的 SRAM也可以透过MOVX @Ri指令存取。RCON此功能是在定义扩展内存的页，使用RAMS1、RAMS0 这2个bit去选择哪个page。

符号: RCON								地址: 85h	
7	6	5	4	3	2	1	0	Reset	
-	-	-	-	-	-	RAMS1	RAMS0	00H	

RAMS[1:0]: 初始值设定为 00H(page 0) 。 RAM 的一个 page 的资料为 256 字节。

OME	RAMS1	RAMS0	Mapped on-chip expanded RAM address	Note
1	0	0	\$0000 - \$00FF	
1	0	1	\$0100 - \$01FF	
1	1	0	\$0200 - \$02FF	
1	1	1	-	Mapped to off-chip RAM address {P2 , Ri}
0	x	x	-	Mapped to off-chip RAM address {P2 , Ri}

表3-1 : Mapped address for on-chip expanded RAM

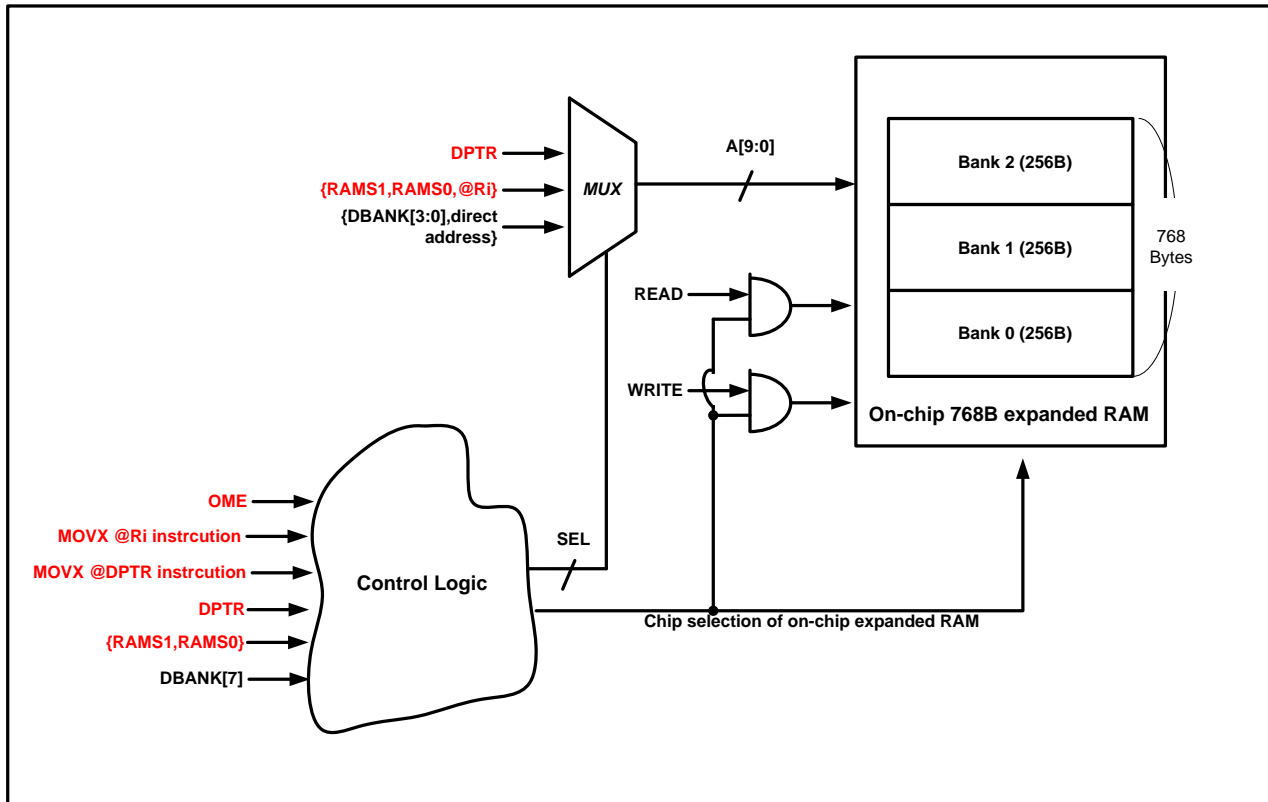


图 3-3: Access on-chip expanded RAM scheme

方法2: 使用MOV指令

此区块映像表格，使用者能设定\$040到\$07F区块范围，对映到1K RAM的任何地址，以直接寻址方式存取扩展RAM的(64 byte)资料。

程序范例：

例如，使用者欲将 #30h值写到 RAM 0x101地址，使用DBANK方式映像：

MOV SCNF, #02H ; 768 bytes RAM为开启状态

MOV DBANK, #88H ; 开启DBANK，查表二设定\$040~\$07f区块映像到0x 0100~0x 013f 地址

MOV A, # 30H ; 将 #30H值储存到A

MOV 41H, A ; 将 A值写入到0x0101地址

例如，使用者定义RCON切至到01page:

MOV RCON, #01H ; 定义RCON切至到01page (0x100~0x1FF)

MOV R0, #55H ; R0指到低地址55H

MOVX A, @R0 ; 以间接寻址法取得155H内容值

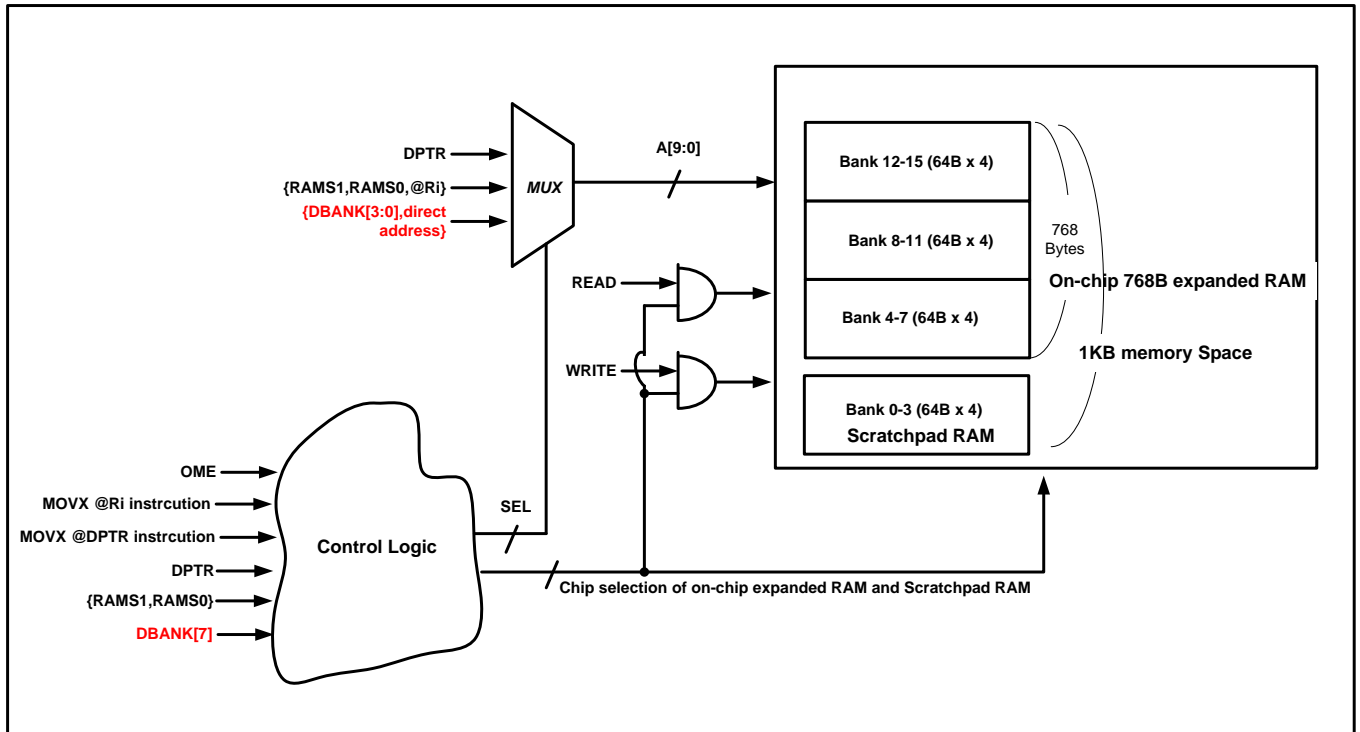


图 3-4: Access on-chip expanded RAM and scratchpad RAM with both in single 1KB addressing space scheme

符号: DBANK								Address: 86h	
7	6	5	4	3	2	1	0	Reset	
BSE	-	-	-	BS3	BS2	BS1	BS0	01H	

BSE: 数据区块选择致能位。设 1 启动数据区块映像功能。

BS[3:0]: 将设定区块 \$040~\$07F 对映到 1K RAM 的任一个地址。

BSE	BS3	BS2	BS1	BS0	Mapped window : \$40 - \$7F Logically addressed range in 1K memory space	Physical address	
1	0	0	0	0	\$000 – \$03F	Scratchpad RAM (\$00 – \$FF)	
1	0	0	0	1	\$040 – \$07F		
1	0	0	1	0	\$080 – \$0BF		
1	0	0	1	1	\$0C0 – \$0FF		
1	0	1	0	0	\$100 – \$13F	Expanded RAM (\$000 – \$2FF)	
1	0	1	0	1	\$140 – \$17F		
1	0	1	1	0	\$180 – \$1BF		
1	0	1	1	1	\$1C0 – \$1FF		
1	1	0	0	0	\$200 – \$23F		
1	1	0	0	1	\$240 – \$27F		
1	1	0	1	0	\$280 – \$2BF		
1	1	0	1	1	\$2C0 – \$2FF		
1	1	1	0	0	\$300 – \$33F		
1	1	1	0	1	\$340 – \$37F		
1	1	1	1	0	\$380 – \$3BF		
1	1	1	1	1	\$3C0 – \$3FF		
0	x	x	x	x	Mapping is off		Mapping is off

表 3-2: Bank mapping address

4. CPU结构

SM5952E结构由以下四部分组成:

- (1) 控制单元
- (2) 算法-逻辑单元
- (3) 存储器控制单元
- (4) RAM 和 SFR 控制单元

SM5952E结构允许接受来自程序存储器的指令并与RAM或SFR做数据处理，以下各段详细叙述了主要功能寄存器。

符号	描述	地址	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	重置值
8051 Core											
ACC	Accumulator	E0h	ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0	00H
B	B register	F0h	B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0	00H
PSW	Program status word	D0h	CY	AC	F0	RS[1:0]		OV	PSW.1	P	00H
SP	Stack Pointer	81h	SP[7:0]								07H
DPL	Data pointer low	82h	DPL[7:0]								00H
DPH	Data pointer high	83h	DPH[7:0]								00H

4.1 累加器

ACC是一个累加器，大部分单操作指令的一个操作数取自累加器。

符号: ACC	地址: E0h
7 6 5 4 3 2 1 0 Reset	
ACC.7	ACC.6
ACC.5	ACC.4
ACC.3	ACC.2
ACC.1	ACC.0
00h	

ACC[7:0]: The A (or ACC) register is the standard 8052 accumulator.

4.2 B 寄存器

B寄存器被用于乘法或除法指令，也可作为一般寄存器以存储临时数据。

符号: B	地址: F0h
7 6 5 4 3 2 1 0 Reset	
B.7	B.6
B.5	B.4
B.3	B.2
B.1	B.0
00h	

B[7:0]: The B register is the standard 8052 register that serves as a second accumulator.

4.3 程序状态字

符号: PSW							地址: D0h	
7	6	5	4	3	2	1	0	Reset
CY	AC	F0	RS [1:0]		OV	F1	P	00h

CY: 进位标志位

AC: 为 BCD 辅助进位标志位

F0: 用户设置标志位 0

RS[1:0]	Bank Selected	Location
00	Bank 0	00h – 07h
01	Bank 1	08h – 0Fh
10	Bank 2	10h – 17h
11	Bank 3	18h – 1Fh

OV: 溢出标志位

F1: 用户设置标志位 1

P: 奇偶校验位, 受硬件影响, 显示累加器中的奇偶的 1 位, 即奇偶校验

4.4 堆栈指针

堆栈指针是一个1字节的寄存器, 在复位后初始化为07h。此寄存器在执行PUSH和CALL指令之前增值, 使得堆栈指针在08h开始执行。

符号: SP							地址: 81h	
7	6	5	4	3	2	1	0	Reset
SP [7:0]								07h

SP[7:0]: 堆栈指针储存了暂时寄存器的地址, 该地址是堆栈指针的起始位置. 换言之, 它总是指向堆栈指针的顶端。

4.5 数据指针

数据指针为2字节, 低位为DPL, 高位为DPH。它可以作为一个2字节的寄存器(MOV DPTR, #data16)来使用, 或者作为两个寄存器(例如 MOV DPL, #data8), 它通常被用作是运行外部程序或者是数据空间(如 MOVC A, @ A+DPTR 或者各自的MOVX A, @ DPTR)。

符号: DPL							地址: 82h	
7	6	5	4	3	2	1	0	Reset
DPL [7:0]								00h

DPL[7:0]: 数据指针低字节



符号: DPH							地址: 83h	
7	6	5	4	3	2	1	0	Reset
DPH [7:0]								00h

DPH [7:0]: 数据指针高字节

5. GPIO管脚型态

P0口~P4口是此款微型控制器的通用的IO口。大部份端口都可和其他输入设备一起操作，如P3[0]也可以当RXD在串行口通讯（UART）的应用中被使用。在输入和输出高的条件下，端口0是开漏的，因此需加外部上拉电阻。至于其他端口，其上拉电阻位于内部。对于通常的应用设置，每个管脚均可独立设置为高电位或者低电位，如下所示：

符号: P0								地址: 80h	
7	6	5	4	3	2	1	0	Reset	
P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0	FFh	

P0.7~ 0: Port0 [7] ~ Port0 [0]

符号: P1								地址: 90h	
7	6	5	4	3	2	1	0	Reset	
P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0	FFh	

P1.7~ 0: Port1 [7] ~ Port1 [0]

符号: P2								Address: A0h	
7	6	5	4	3	2	1	0	Reset	
P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0	FFh	

P2.7~ 0: Port2 [7] ~ Port2 [0]

符号: P3								Address: B0h	
7	6	5	4	3	2	1	0	Reset	
P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0	FFh	

P3.7~ 0: Port3 [7] ~ Port3 [0]

符号: P4					Address: D8h			
7	6	5	4	3	2	1	0	Reset
-	-	-	-	P4.3	P4.2	P4.1	P4.0	xFh

P4.3~ 0: Port4 [3] ~ Port4 [0]

6. 定时器0 和定时器1

SM5952E有三个16bit的定时/计数寄存器：定时器0、定时器1与定时器2。所有这些都可以被设置为定时或计数操作。

在计时模式，定时器 0 或定时器 2 寄存器每个机械周期将加 1，由于每 12 个时钟为 1 个机械周期，故计数频率为 $F_{osc}/12$ 。6T 模式则为 $F_{osc}/6$ 。

这些定时和计数功能体现在同一个单元中。“定时”或者“计数”功能可通过特殊功能寄存器的TMOD中的 $\overline{C/T}$ 位来选择。定时器0和1有四种操作模式，它们可通过特殊功能寄存器的TMOD的(M1、M0)进行选择。模式0、1、2对于定时器和计数器是一样的，模式3 则有所不同。四种工作模式描述如下：

符号	描述	地址	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	重置值
Timer 0 and 1											
TL0	Timer 0, low byte	8Ah	TL0[7:0]								00H
TH0	Timer 0, high byte	8Ch	TH0[7:0]								00H
TL1	Timer 1, low byte	8Bh	TL1[7:0]								00H
TH1	Timer 1, high byte	8Dh	TH1[7:0]								00H
TMOD	Timer Mode Control	89h	GATE	C/T	M1	M0	GATE	C/T	M1	M0	00H
TCON	Timer/Counter Control	88h	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	00H

6.1 定时器/计数器模式控制寄存器(TM0D)

符号: TM0D 地址: 89h

7							6			5		4		3		2		1		0		Reset
GATE			C/T		M1		M0		GATE			C/T		M1		M0						00h
Timer 1									Timer 0													

GATE: 该位被置位时为门控时，仅当‘INT0 或者 INT1’脚为高时，且‘TRx’控制位被置位（参考 TCON 寄存器）时使能，计数器在每个 T0 或 T1 输入脚处于下减沿触发时得到加强。

C/T: 门控定时器或计数器选择器。该位被置位时用作计数器功能,该位被清零时用作定时器功能。

M[1:0]: 定时/计数器 0 或定时/计数器 1 的选择模式。

M1	M0	Mode	Function
0	0	Mode0	13bit计数器/定时器, 包含TL0/TL1寄存器的低5位及TH0/TL1寄存器的全部8位, 其TL0/TL1寄存器的高3位可设置为0。
0	1	Mode1	16 位计数器/定时器。
1	0	Mode2	8 位自动重载的计数器/定时器,自动重载的值保留在TH0 和TH1。同时TL0 或者TL1 在每个机器周期内都会递增。当溢出时, 将THx 存放的值装入TLx。
1	1	Mode3	如定时器1 的M1 和M2 位被设置为1, 定时器2 停止计数。如定时器0 的M1 和M0 位被设置为 1, 定时器0 作为两个独立的8 位定时器/计数

			器。
--	--	--	----

6.2 定时/计数控制寄存器(TCON)

符号: TCON							地址: 88h	
7	6	5	4	3	2	1	0	Reset
TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	00h

TF1: 定时器 1 溢出标志。定时器/计数器溢出时由硬件置位。中断执行时硬件清零，或由软件清零

TR1: 定时器 1 运行控制位。如置位/清零, 关闭定时器/计数器 1.

TF0: 定时器 0 溢出标志。定时器/计数器溢出时由硬件置位。中断执行时硬件自动清零，或由软件清零

TR0: 定时器 0 运行控制位。如置位/清零, 关闭定时器/计数器 0

IE1: 中断 1 边沿标志。当检测到外部中断 1 边沿/低电平时由硬件置位该标志。中断处理时由硬件清零，或通过软件清零

IT1: 中断 1 类型控制位，通过软件置位/清零该位来选择外部中断 1 以下降沿/低电平方式触发

IE0: 中断 0 边沿标志。当检测到外部中断 0 边沿/低电平时由硬件置位该标志。中断处理时由硬件清零，或通过软件清零

IT0: 中断 0 类型控制位。通过软件置位/清零该位来选择外部中断 0 以下降沿/低电平方式触发

6.3 模式 0 (13 位定时/计数)

在这种模式中，定时寄存器是配置成一个 13 位的寄存器，以定时器 1 为例，当计数值由全 1 变成全 0 时，定时器中断标志 TF1 置位。当 TR1=1 和 GATE=0 或者 $\overline{INT1}=1$ ，计数输入到计时有效。当 GATE=1 时，外部输入 $\overline{INT1}$ 控制定时器，定时器可用来测量脉冲宽度。TR1 是 SFR TCON 中的一个控制位，而 GATE 则是 TMOD 寄存器中的一位。

该 13 位寄存器由 TH1 的 8 位和 TL1 的低 5 位组成。TL1 的高 3 位不确定，可被忽略置位运行标志 (TR1) 不会清零寄存器。

定时器 0 和定时器 1 的模式 0 操作相同。因此为了最后一章的相关计时器 1 信号替换 TR0, TR1 以及 $\overline{INT0}$ 。我们可以知道定时器 0 的工作模式 1。但是它们有两个不同的 GATE 位。一个用于定时器 1, (TMOD.7) 另一个用于定时器 0 (TMOD.3)。

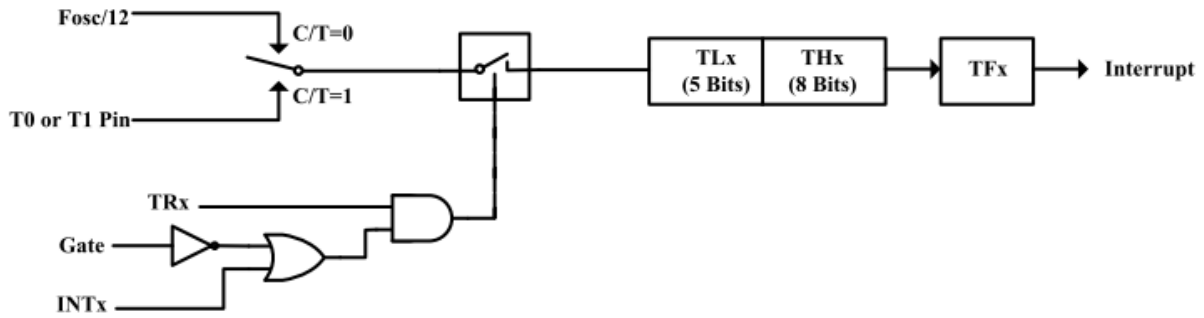


图 6-1: 模式 0 -13 位定时器/计数器操作

6.4 模式 1 (16 位定时/计数)

除定时器寄存器为16 位外，模式1的操作与模式0完全相同。

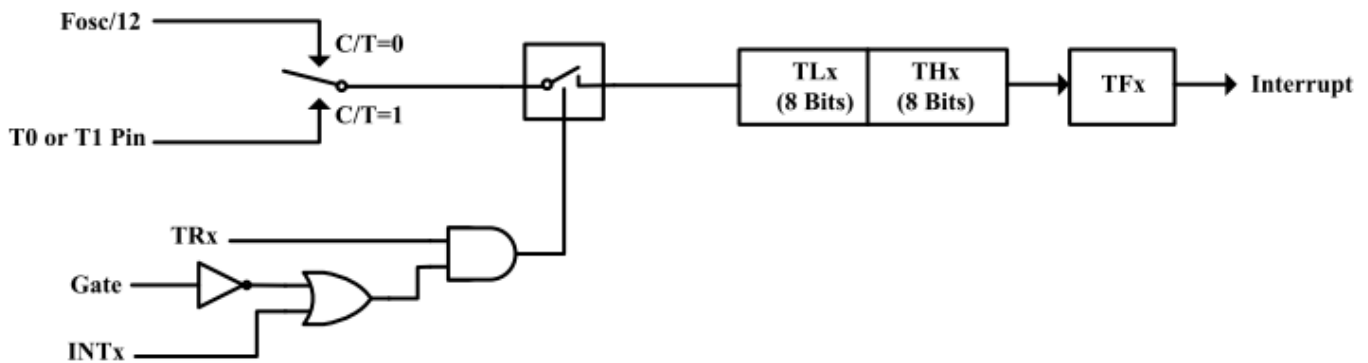


图 6-2: 模式 1 -16 位定时器/计数器操作

6.5 模式 2 (8 位自动重载定时/计数)

定时 1，模式 2 中，定时器寄存器配置一个 8 位的计数器 (TL1)，具有自动重装功能，TL1 的溢出不仅使 TF1 置位，而且将 TH1 的内容重新装入 TL1，TH1 的值由软件预先设置。重装时 TH1 的内容不变。定时器 0 的模式 2 操作也同样如此。

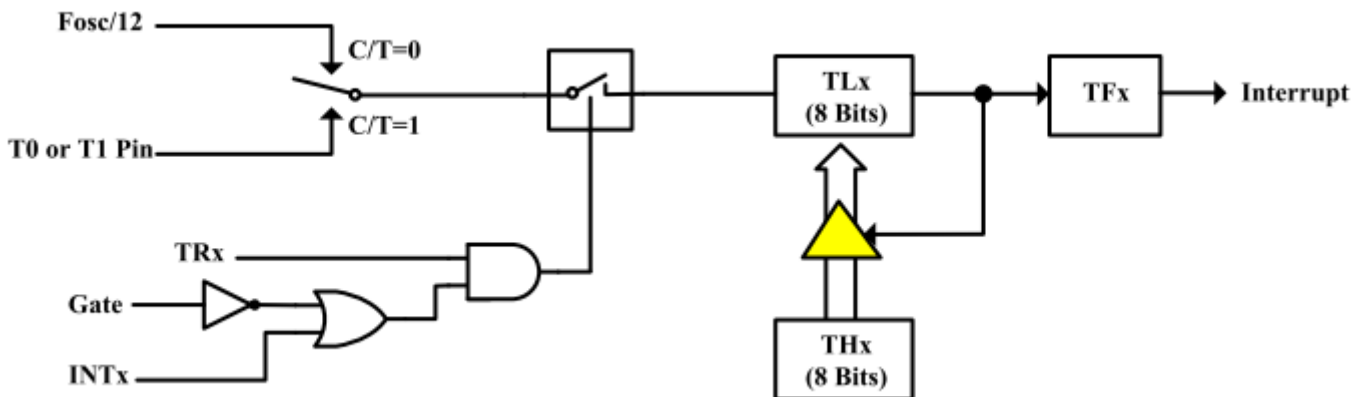


图 6-3: 模式 2 -8 位自动重载定时/计数

6.6 模式 3 (两个独立 8 位定时/计数(仅定时器 0))

模式 3 中，定时器 1 的计数值保持不变，等效于 $TR1=0$ 。

模式 3 中，定时器 0 将 TL0 和 TH0 分成 2 个独立的计数器 TL0 使用定时器 0 控制位： C/\overline{T} ，GATE，TR0， $\overline{INT0}$ 和 TF0。TH0 锁定成定时器用来计数机器周期，占用定时器 1 的 TR1 和 TF1 位。这样，TH0 就控制着定时器 1 的中断。

模式 3 用在需要一个额外的 8 位定时器的场合。当定时器 0 工作在模式 3 时，定时器 1 可通过进入/退出模式 3 来启动/关闭。定时器 1 还可用作串口的波特率发生器或用在不需要中断的应用中。

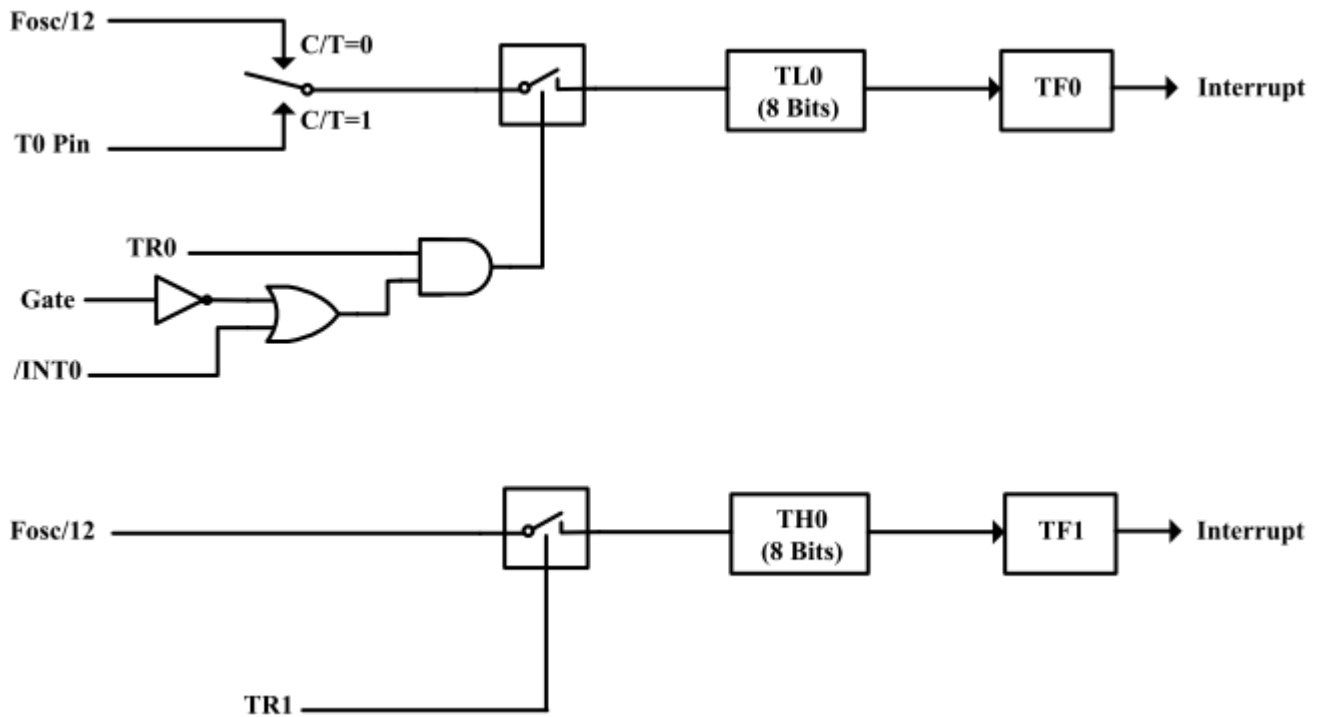


图 6-4: 模式 3 -两个独立 8 位定时/计数(仅定时器 0)

7. 定时器2

定时器2是一个16位的定时器/计数器，可用作定时器或事件计数器，由特殊功能寄存器T2CON的 $\overline{C/T2}$ 位选择。

符号	描述	地址	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	重置值
Timer 2											
TL2	Timer 2, low byte	CCh	TL2[7:0]								00h
TH2	Timer 2, high byte	CDh	TH2[7:0]								00h
RCAP2L	Reload and capture data low byte	CAh	RCAP2L[7:0]								00h
RCAP2H	Reload and capture data high byte	CBh	RCAP2H[7:0]								00h
T2MOD	Timer 2 mode	C9h	-	-	-	-	-	-	T2OE	DCEN	00h
T2CON	Timer 2 control register	C8h	TF2	EXF2	RCLK	TCLK	EXEN ₂	TR2	$\overline{C/T2}$	$\frac{CP}{RL2}$	00h

符号: **T2MOD** 地址: **C9h**

7	6	5	4	3	2	1	0	Reset
-	-	-	-	-	-	T2OE	DCEN	00H

T2OE: 定时器 2 输出使能位。

DCEN: 该位置位时，定时器 2 可配置成递增/递减计数器。

符号: **T2CON** 地址: **C8h**

7	6	5	4	3	2	1	0	Reset
TF2	EXF2	RCLK	TCLK	EXEN2	TR2	$\overline{C/T2}$	$\frac{CP}{RL2}$	00H

TF2: 定时器 2 溢出标志。该位由定时器 2 溢出时置位，必须由软件清除。当 RCLK=0 或 TCLK=1 时，TF2 将不会置位。

EXF2: 定时器 2 外部标志。当 EXEN2=1 且 T2EX 的跳变产生捕获或重装时，EXF2 置位。定时器 2 中断使能时，EXF2=1 将使 CPU 从中断向量处执行定时器 2 中断子程序。EXF2 位必须用软件清零，在递增/递减计数器模式 DCEN =1 中，EXF2 不会引起中断。

RCLK: 接收时钟标志。RCLK 置位时，定时器 2 的溢出脉冲作为串行口模式 1 和模式 3 的接收时钟。RCLK =0 时将定时器 1 的溢出脉冲作为接收时钟。

TCLK: 发送时钟标志。TCLK 置位时，定时器 2 的溢出脉冲作为串行口模式 1 和模式的发送时钟。TCLK =0 时将定时器 1 的溢出脉冲作为发送时钟。

EXEN2: 定时器 2 外部使能标志。当其置位且定时器 2 未作为串行口时钟时，允许 T2EX 的跳变产生捕获或重装。EXEN2=0 时 T2EX 的跳变对定时器 2 无效。

TR2: 定时器 2 启动/停止控制位，置 1 时启动定时器。

$\overline{C/T2}$: 定时器2 定时器/计数器选择。
0=内部定时器 12时钟模式为OSC/12; 6时钟模式为OSC/6。
1=外部事件计数器下降沿触发。

$\overline{CP/RL2}$: 捕获/重装标志。该位置位时, 如果 EXEN2=1, T2EX 上出现跳变时捕获。该位被清零时, 如果 EXEN2=1, 当定时器 2 溢出或 T2EX 上出现跳变时自动重装。当 RCLK=1 或 TCLK=1 时, 该位被忽略, 定时器 2 溢出时被强制自动重装。

表 7-1 : Timer 2 Operating Modes

RCLK + TCLK	CP/RL2	TR2	DCEN	Mode
x	x	0	x	OFF
1	x	1	0	Baud-Rate Generation
0	1	1	0	Capture
0	0	1	0	Auto-Reload Up-only
0	0	1	1	Auto-Reload Up/Down

7.1 捕获模式

在捕获模式中, 可通过T2CON中的位EXEN2有两种任选择, 如果EXEN2=0, 定时器2用作一个16位的定时器或计数器, 溢出时置位TF2, 此位可用来产生中断。如果EXEN2=1, 计时器2仍继续以上工作, 但外部输入T2EX由1变0时将定时器2 中TL2和TH2的当前值各自捕获到RCAP2L和RCAP2H。另外, T2EX的负跳变使T2CON中的EXF2置位, EXF2也象TF2 一样能够产生中断。

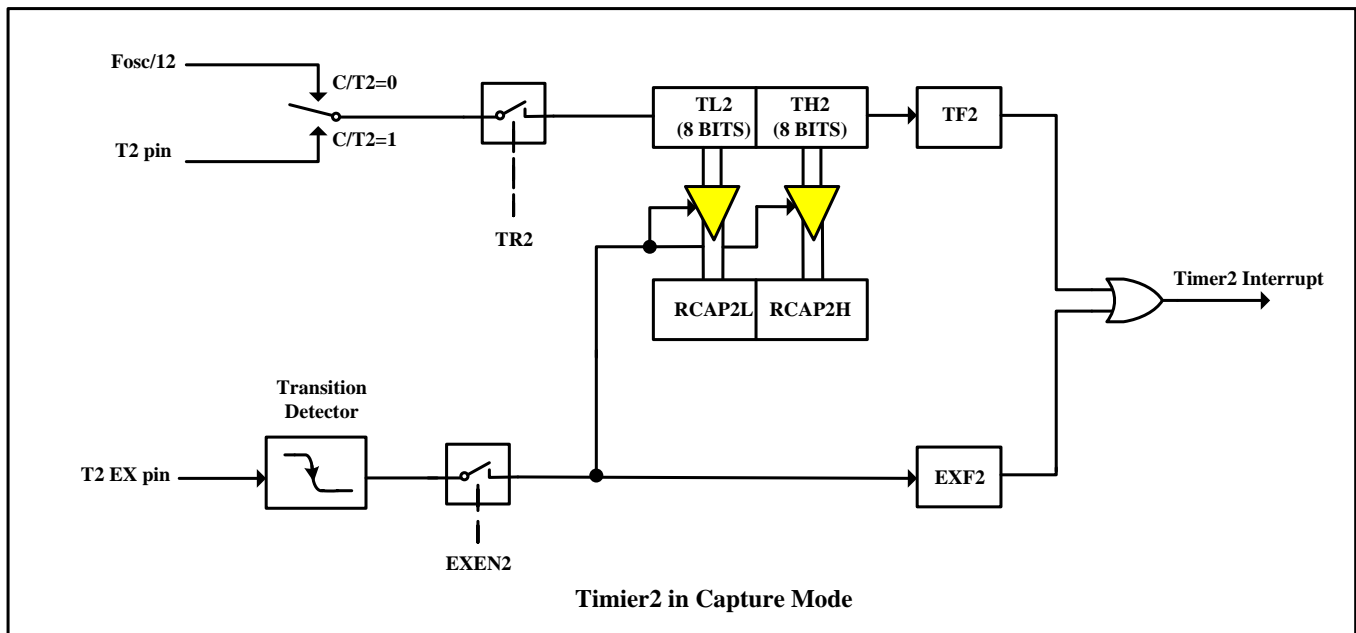


图7-1 : Timer 2 in capture mode

7.2 自动重装模式 (递增/递减计数器)

16位自动重装模式中定时器2, 编程控制递增/递减计数计数的方向是由DCEN 递减计数使能位确定的DCEN位于特殊功能寄存器T2MOD中。在复位后, 当DCEN=0时, 定时器2 默认为向上计数当DCEN =1时, 定时器2可通过T2EX确定递增或递减计数。

图7-2显示了当DCEN=0时计数器2的自动递增计数功能，在该模式中，通过对T2CON中的位EXEN2设置，可有两种任意的选择。如果EXEN2=0，定时器2 递增计数到0FFFFH并在溢出后将TF2置位然后将RCAP2L和RCAP2H中的16位值作为重新装载值装入定时器2。RCAP2L和RCAP2H的值是通过软件预设的如果EXEN2=1，16位重新装载可通过溢出或T2EX从1到0的跳变实现，此跳变同时将EXF2置位，此跳变同时将EXF2置位，如被使能，则当TF2或EXF2置1时产生中断。

如图7-3所示，设定DCEN位后，定时器2可递增或递减计数，在该模式中，T2EX控制计数的方向。当T2EX置1时，计数器2递增计数，计数到0FFFFH后溢出并置位TF2，定时器2的溢出将使RCAP2L 和RCAP2H中的16位值作为重新装载值放入TL2和TH2。

当T2EX置零时，将使定时器2递减计数。当TL2和TH2计数到等于RCAP2L和RCAP2H时，定时器产生溢出,定时器2溢出，置位TF2并将0FFFFH重新装入TL2和TH2。

无论定时器2递增或者递减，产生溢出时，外部标志位EXF2 翻转。如果需要，可将EXF2位作为第17位使用，在此模式中EXF2 标志不会产生中断。

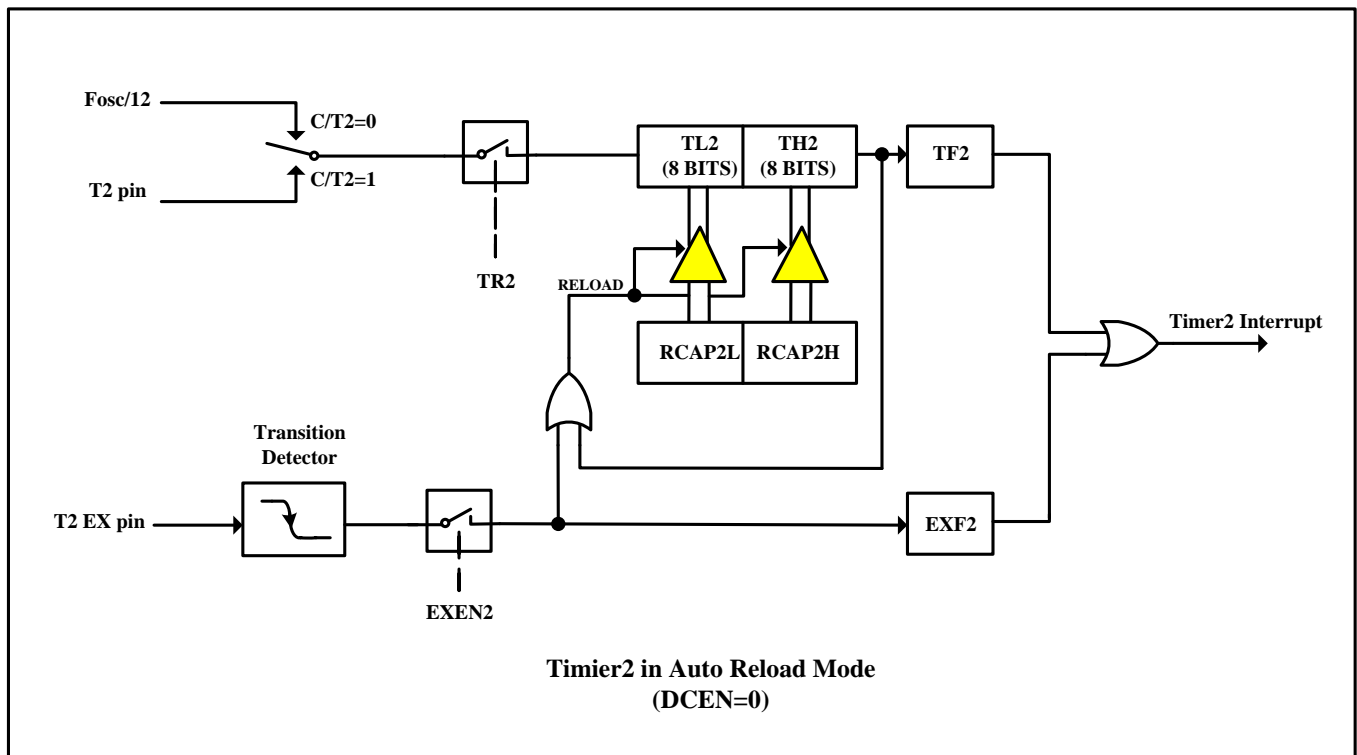


图7-2 : Timer 2 in auto reload mode (DCEN=0)

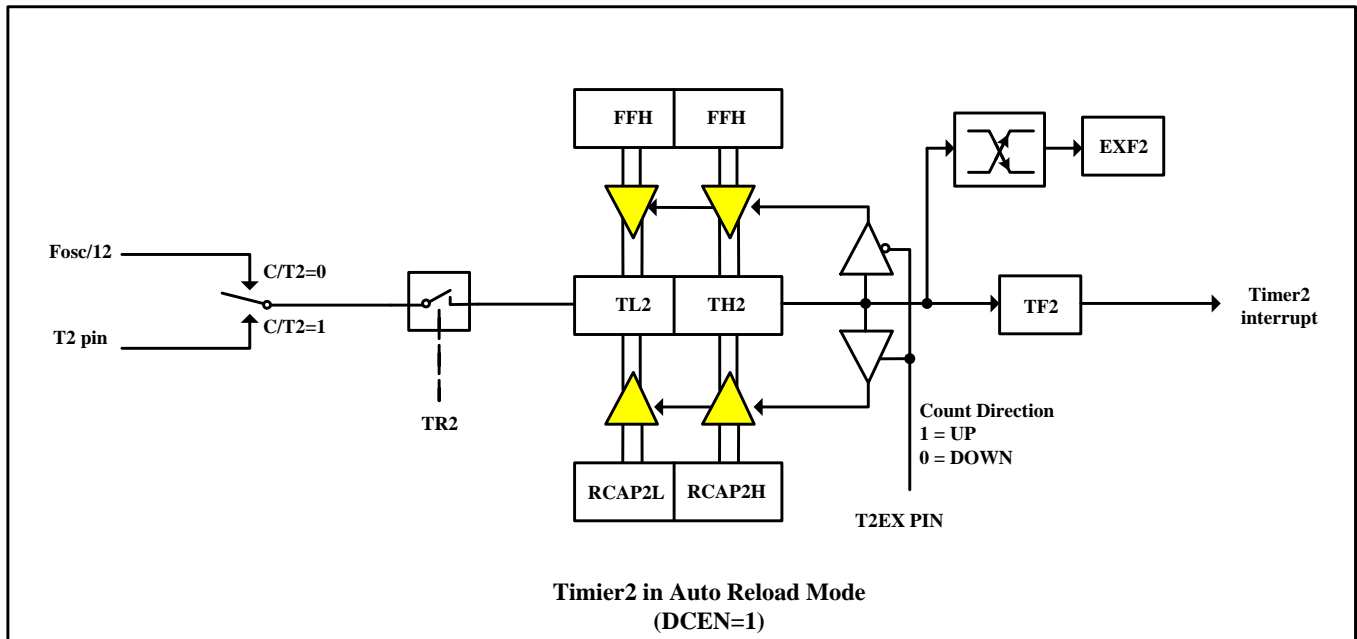


图7-3：Timer 2 in auto reload mode (DCEN=1)

7.3 编程时钟输出

通过编程，可从 P1.0 输出占空比为 50% 的时钟信号。P1.0 口，除用作通用 I/O 口外，还含有 2 个附加功能，P1.0 口可编程为：（1）定时器/计数器 2 的外部时钟输入；（2）输出占空比为 50% 的时钟信号。例如：如 12T 模式中，在 16MHz 的工作频率下，时钟信号的频率范围为 61HZ 到 4MHZ。

通过清零位 $\overline{C/T2}$ (T2CON.1) 和置位 T2MOD 的 T2OE 位来将定时器/计数器 2 配置成一个时钟发生器。通过置位 TR2 位 (T2CON.2) 就可启动定时器的运行。

系统时钟输出频率取决于晶振频率和定时器 2 捕获寄存器 (RCAP2H, RCAP2L) 的重装值，见下列等式：

$$\text{Clock-Out Frequency} = \frac{\text{Oscillator Frequency}}{4 \times (65536 - \text{RCAP2H}, \text{RCAP2L})}$$

在时钟输出模式中，定时器 2 计数器的循环翻转不会产生中断。这与定时器 2 用作波特率发生器时一致。将定时器 2 同时作为波特率生成器和时钟生成器是可能的，然而需要注意的是波特率和时钟输出频率不能各自独立决定，因为它们都使用 RCAP2H 和 RCAP2L。

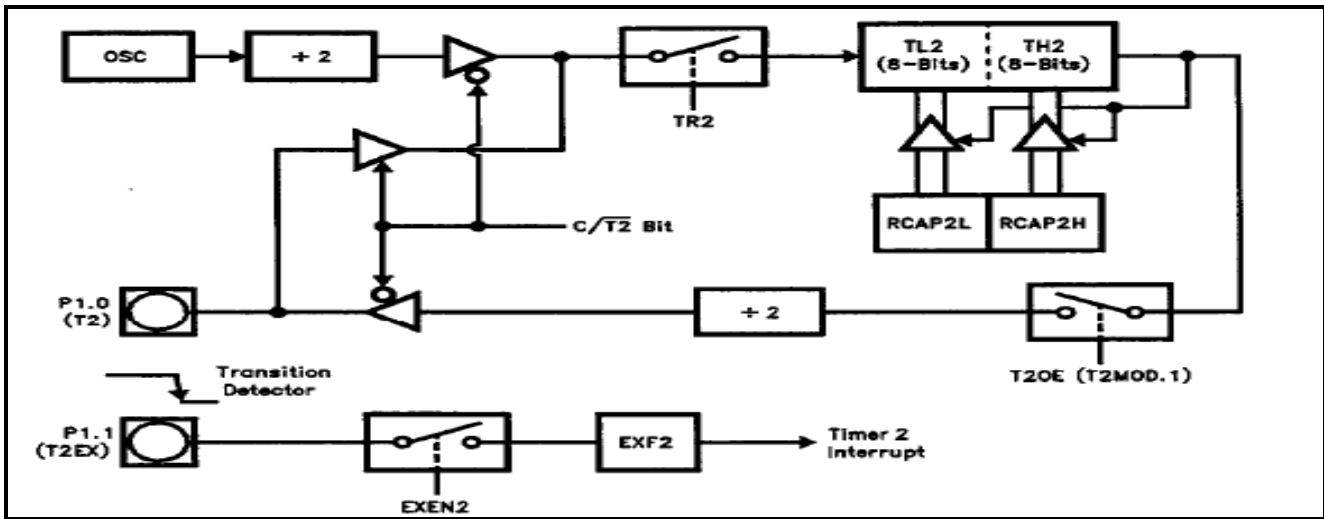


图7-4 : Timer 2 in clock-out mode

8. 串行接口

两个串行缓冲器组成两个单独寄存器，即一个传输缓冲区和一个接收缓冲区。

写入数据到特殊功能寄存器（SFR）SBUF并设置这些数据在串行输出缓冲，并开始传输，来自SBUF的读取及从串行接收缓冲区读取数据，串行口可同时传输和接收数据，它也可在接收时缓存1字节，如CPU在第一个字节传输完成之前读取第二个字节，以防接收数据丢失。

符号	描述	地址	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	重置值
Serial interface											
PCON	Power control	87H	SMOD	-	-	-	GF1	GF0	PD	IDLE	00H
SCON	Serial Port control register	98H	SM0	SM1	SM2	REN	TB8	RB8	TI	RI	00H
SBUF	Serial Port data buffer	99H	SBUF[7:0]								00H

Mnemonic: SCON									Address: 98h
7	6	5	4	3	2	1	0	Reset	
SM0	SM1	SM2	REN	TB8	RB8	TI	RI	00H	

SM0, SM1: 串行口模式选择。

SM0	SM1	Mode
0	0	0
0	1	1
1	0	2
1	1	3

在 UART 的 4 种模式中，模式 0~3 稍后解释。

SM2: 多处理机通信使能位。

REN: 如置位，串行接收使能，软件清除禁止接收。

TB8: 在模式 2 和 3 中，发送的第 9 位数据位，置位或清零取决与它执行的功能，如奇偶校验功能，多处理机通信等。

RB8: 在模式 2 和 3 中，RB8 为接收的第 9 位数据位。在模式 1 中，如 SM2=0，RB8 为停止位。在模式 0 中，此位不被使用。须由软件清除。

TI: 发送中断标志位。在完成串行传输后由硬件置位，须由软件清除。

RI: 接收中断标志。在完成串行传输后由硬件置位，须由软件清除。

8.1 串行接口由以下 4 种模式可以设置

SM0	SM1	Mode	描述	Board Rate
0	0	0	Shift register	Fosc/12
0	1	1	8-bit UART	Variable
1	0	2	9-bit UART	Fosc/32 or Fosc/64
1	1	3	9-bit UART	Variable

这里的Fosc是晶体或振荡器的频率。

Specifications subject to change without notice contact your sales representatives for the most recent information.

8.1.1 模式 0

引脚RXD充当输入和输出。TXD输出时钟。每次发送或接收以LSB最低位作首位，每次8位。波特率固定为晶体的频率1/12,接收通过以下的在SCON中的设置标志在模式0中初始化：RI = 0及REN = 1。在其它模式中，当REN=1时，开始从起始位接收串行数据。

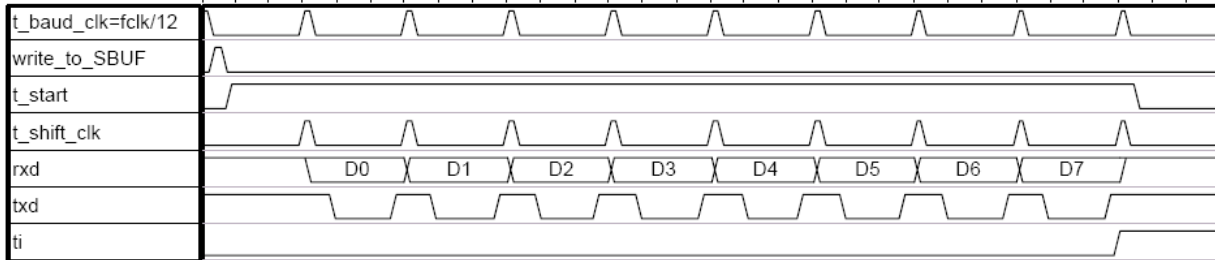


图 8-1: 发送模式 0

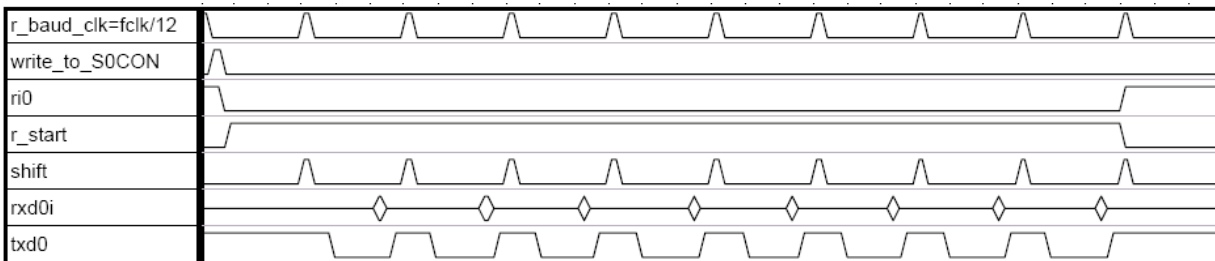


图 8-2: 接收模式 0

8.1.2 模式 1

引脚RXD充当输入，TXD充当串行输出，无任何外部时钟被使用，每次数据为10位：一个起始位(=0)，8个数据位（LSB位在前），及一个停止位(=1)。在接收数据时，起始位将被同步传输，8个数据位可通过SBUF来读取，一个停止位存于特殊功能寄存器SCON的设置标志RB8内，在模式1中，无论是内部的波特率发生器或定时器1可以用来指定波特率。



图 8-3: 发送模式 1

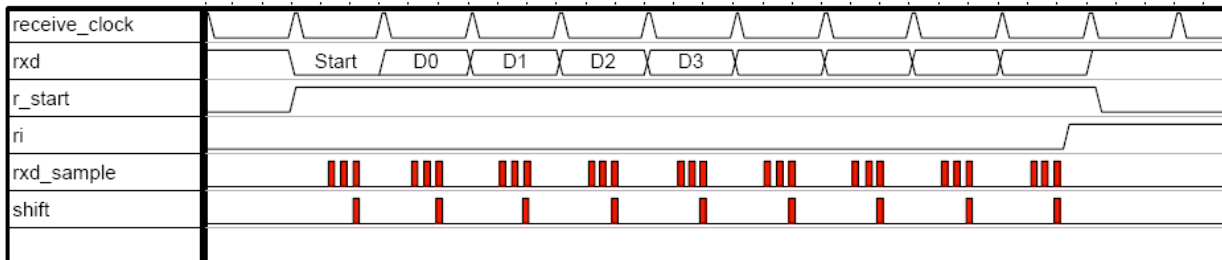


图 8-4: 接收模式 1

8.1.3 模式 2

该模式和模式1类似，但有两点不同。波特率被固定在振荡器的频率的1/32（SMOD=1）或1/64（SMOD=0），且有11位数据被传输或接收：1个起始位（=0），8个数据位（LSB在前），一个可编程的第9位及一个停止位（=1），9位可以用来控制串行接口的奇偶性。在传输中，SCON中的TB8输出第9位，在接收中，SCON中的RB8将被影响。

8.1.4 模式 3

模式2和3的唯一不同之处在于：在模式3中，无论是内部的波特率发生器或定时器1可以用来指定波特率。

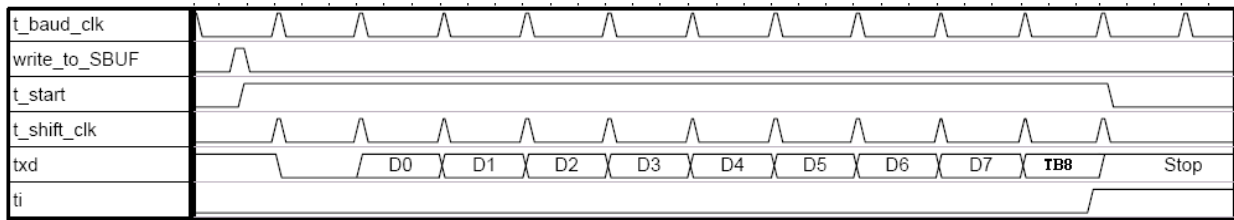


图 8-5: 传输模式 2 和模式 3

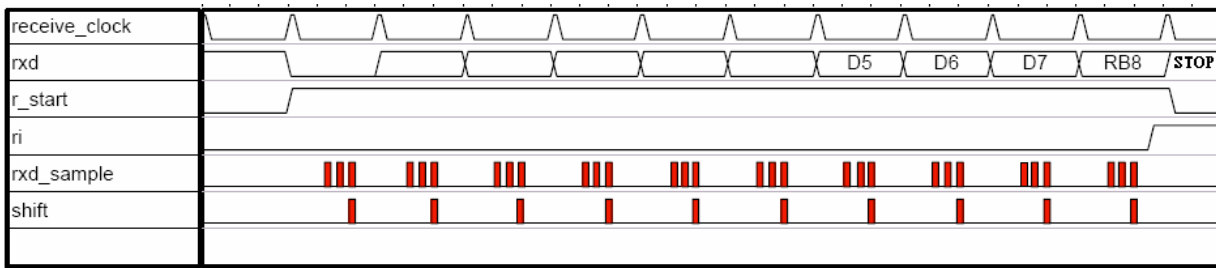


图 8-6: 接收模式 2 和 3 中

8.2 串行接口的多重机通讯

在串行接口的模式2和3，接收9位的功能，可用于多处理器的通讯。在这种情况下，从机在SCON中的位SM2被置位为1。当主机输出从机的地址时，Bit9将被置1，从而在所有的从机中导致串行口接收中断。从机将接收到的字节和它们的网络地址比较，如匹配，其从机将清除SM2，并接收其余的信息，其它的从机将远离SM2无效，并忽略此信息。在解决从机后，其主机在Bit9清0时将输出剩余部分的信息，因此，没有串口接收中断会产生在未选中的处理机中。

8.3 波特率发生器

8.3.1 模式 0

$$\text{Baud Rate} = \frac{F_{osc}}{12}$$

8.3.2 模式 2

$$\text{Baud Rate} = \frac{2^{SMOD}}{64} \times (F_{osc})$$

8.3.3 模式 1 与模式 3

8.3.3.1 使用定时器 1 作波特率发生器

$$\text{Baud Rate} = \frac{2^{SMOD}}{32} \times (\text{Timer 1 overflow rate}) = \frac{2^{SMOD}}{32} \times \frac{F_{osc}}{12 \times [256 - TH1]}$$

8.3.3.2 使用计时器 2 来生成波特率

$$\text{Baud Rate} = \frac{\text{Timer 2 overflow rate}}{32} = \frac{F_{osc}}{32 \times [65536 - (\text{RCAP2H}, \text{RCAP2L})]}$$

9. 中断

SM5952E提供7个中断源并带有2级优先权。每一中断源都在特殊寄存器(SFR)中有自身的请求标志，每个中断请求信号通过相应的标志及特殊寄存器（SFR）IE中的使能位来独自允许或禁止。

当中断发生时，CPU将会跳转预先设定的地址，如表 9-1 表所示，一旦中断开始执行，就只能被更高优先级的中断终止，其中断服务会被来自指令RETI的返回所终结。当一RETI被执行时且中断发生时，处理器将返回此指令，并执行下一条指令。

当中断条件发生时，该处理器通过设置一个标志位来表示，无论中断使能或禁止，每个中断标志都将在每个机器周期中采样一次，随后采样由硬件来检测，当中断被使能时，且采样指出相应中断时，中断请求标志被设置。在随后的指令周期中，中断将被硬件所确定。从而迫使一个LCALL 指向相应的地址向量。

当中断发生时，中断响应将需要不同的时间，这取决于相关的处理器。如一处理器执行的中断服务程序同等或更优先，新的中断将不会启用，在其它情况下，响应时间将取决于当前的指令。

表 9-1: 中断向量

	Interrupt Request Flags	Interrupt Vector Address	Interrupt Number *(use Keil C Tool)
1	IE0 – 外部中断0	0003h	0
2	TF0 – 定时器0 中断	000Bh	1
3	IE1 – 外部中断 1	0013h	2
4	TF1 – 定时器1 中断	001Bh	3
5	RI/TI – 串行口中断	0023h	4
6	TF2/EXF2 – 定时器2 中断	002Bh	5
7	Two Wire Serial Interface	003Bh	7

*参考Keil C用户指南中的有关中断功能使用说明

符号	描述	地址	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	重置值
Interrupt											
IE	Interrupt Enable Register	A8H	EA	-	ET2	ES	ET1	EX1	ET0	EX0	00H
IE1	Interrupt Enable Register 1	A9H	-	-	-	-	-	-	ETWSI	-	00H
IP	Interrupt Priority Register	B8H	-	-	PT2	PS	PT1	PX1	PT0	PX0	00H
IP1	Interrupt Priority Register 1	B9H	-	-	-	-	-	-	PTWSI	-	00H

符号: IE		地址: A8h							
7	6	5	4	3	2	1	0	Reset	
EA	-	ET2	ES0	ET1	EX1	ET0	EX0	00h	

EA: EA=0 –禁能所有中断。

EA=1 –使能所有中断。

ET2: ET2=0 –禁能定时器 2 中断。

Specifications subject to change without notice contact your sales representatives for the most recent information.

ET2=1 –使能定时器 2 中断。

ES: ES=0 –禁能串行口中断。

ES=1 –使能串行口中断。

ET1: ET1=0 –禁能定时器 1 中断。

ET1=1 –使能定时器 1 中断。

EX1: EX1=0 –禁能外部中断 1。

EX1=1 –使能外部中断 1。

ET0: ET0=0 –禁能定时器 0 中断。

ET0=1 –使能定时器 0 中断。

EX0: EX0=0 –禁能外部中断 0。

EX0=1 –使能外部中断 0。

符号: IE1								地址: A9h	
7	6	5	4	3	2	1	0	Reset	
-	-	-	-	-	-	ETWSI	-	00h	

ETWSI: ETWSI =0 –禁能 TWSI 中断。

ETWSI =1 –使能 TWSI 中断。

符号: IP								地址: B8h	
7	6	5	4	3	2	1	0	Reset	
-	-	PT2	PS	PT1	PX1	PT0	PX0	00H	

PT2: 定时器 2 中断优先位, 当 PT2=1 时, 最高优先权。

PS: 串行口中断优先位, 当 PS=1 时候, 最高优先权。

PT1: 定时器 1 中断优先位, 当 PT1=1 时, 最高优先权。

PX1: 外部中断 1 优先位, 当 PX1=1 时候, 最高优先权。

PT0: 定时器 0 中断优先位, 当 PT0=1 时, 最高优先权。

PX0: 外部中断 0 优先位, 当 PX0=1 时候, 最高优先权。

符号: IP1								地址: B9h	
7	6	5	4	3	2	1	0	Reset	
-	-	-	-	-	-	PTWSI	-	00H	

PTWSI: TWSI 中断优先位, 当 TWSI=1 时候, 最高优先权。

Interrupt Priority Table

IP.x	Priority Level
1	1 (highest)
0	2

10. 看门狗定时器

看门狗定时器是一个16位的计数器并会在计数器溢出时产生复位讯号。WDT在噪音、电源干扰或断电等导致软件死循环或跑飞程序等情况下非常有用。WDT功能可以帮助拥护的软件从不正常的软件状态中恢复正常。WDT不同于通用的8052的计时器0、1、2。为了防止WDT复位，可以通过软件定时清除WDT计数器。当不可预期的复位发生时，用户应该检查SCONF寄存器的WDR位。在一外部复位后，该看门狗定时器将无效且所有寄存器都清零。

看门狗定时器是频率是由系统晶振提供，有可选择的分频，要选择分频，由WDTC寄存器的PS [2:0]，請參考表10-1。在正常的运行状态，一个WDT超时(如使能)将导致MCU复位。当看门狗定时器溢出时，WDR标志位将被置1，同时将MCU复位，该标志位可被软件、外部复位、或上电复位清零。

表 10-1: WDT time-out period

PS[2:0]	Divider (dividing of Fosc)	Time period @ 40MHz
000	8	13.1ms
001	16	26.21ms
010	32	52.42ms
011	64	104.8ms
100	128	209.71ms
101	256	419.43ms
110	512	838.86ms
111	1024	1677.72ms

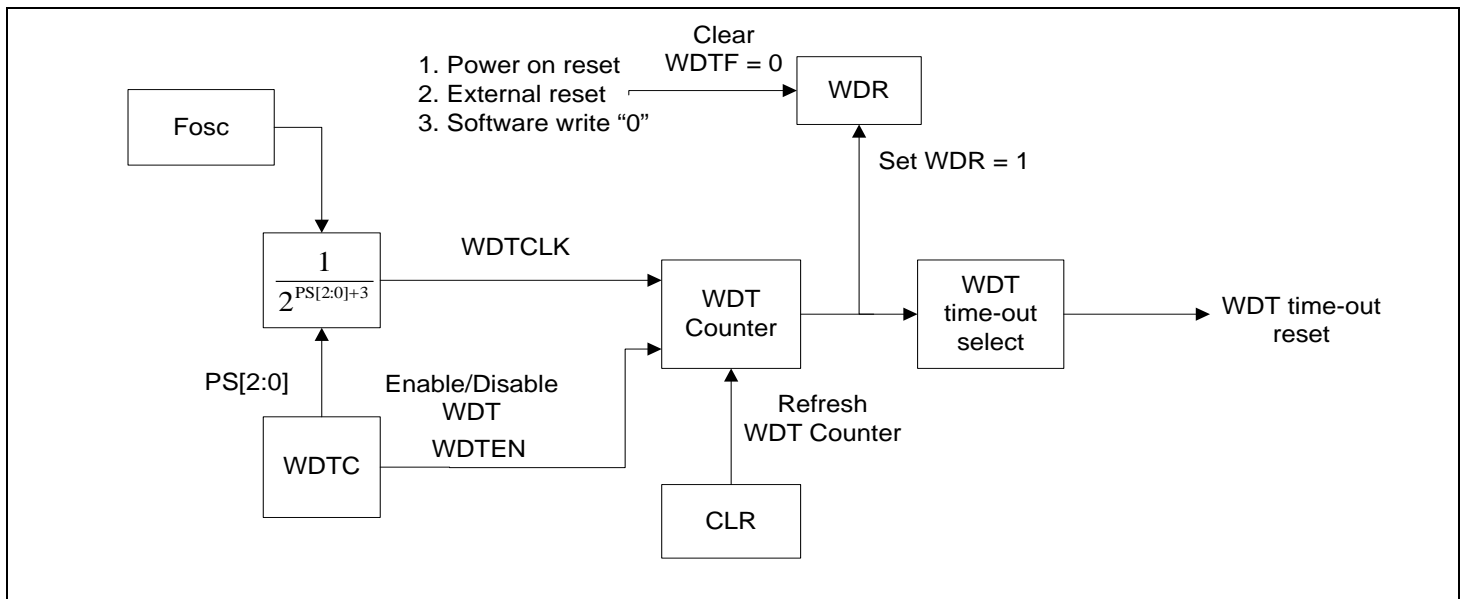


图. 10-1: Watchdog timer block diagram

符号	描述	地址	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	重置值
Watchdog Timer											
WDTC	Watchdog timer control register	9FH	WDTE	-	CLEAR	-	-	PS [2:0]			00H
SCONF	System Control Register	BFH	WDR	-	-	PDWUE	-	ISPE	OME	ALEI	02H



符号: WDTC							地址: 9Fh	
7	6	5	4	3	2	1	0	Reset
WDTE	-	CLEAR	-	-	PS [2:0]			00H

WDTE: 看门狗定时器使能位。

CLEAR: 设置看门狗定时器的清除位。

如果设定为 1，WDT 被清除并重新启动开始计数。

PS[2:0]: 看门狗定时器溢出周期标志位。

符号: SCONF							地址: BFh	
7	6	5	4	3	2	1	0	Reset
WDR	-	PDWUE	-	-	ISPE	OME	ALEI	02H

WDR: 看门狗重置旗标。

此旗标于芯片之复位信号是由看门狗重置产生时由硬件自动设置。此旗标可由软件清零。

11. 电源管理单元

电源管理单元提供两种电源管理模式，即IDLE（待机/空闲）和Power down（掉电），并为用户提供省电功能。

符号: PCON							地址: 87h	
7	6	5	4	3	2	1	0	Reset
SMOD	-	-	-	GF1	GF0	PD	IDLE	00h

GF1: 通用标志位 1

GF0: 通用标志位 0

PD: 当 PD=1 时，MCU 进入掉电模式(Power-down Mode)

IDLE: 当 IDLE=1 时，MCU 进入空闲模式(IDLE mode)

11.1 待机模式(空闲模式)

使用IDLE（待机模式(空闲模式)）模式可通过对PCON寄存器的IDLE位置位。空闲模式停止MCU的时钟源，但外部的时钟源依旧保持，由于此时CPU不工作，电源功耗将被降低。当任何一中断信号或者一复位信号时，CPU将退出待机模式（空闲模式）。

11.2 掉电模式

使用PD（掉电模式）模式可通过对PCON寄存器的PD位置位。在此模式中，系统晶振将停下来，CPU内部的动作完全停止，但内部RAM之值可被保留，所有的中断源将全部被关闭，CPU将僅能以硬件重置退出该模式。

符号: SCONF							地址: BFh	
7	6	5	4	3	2	1	0	Reset
WDR	-	-	PDWUE	-	ISPE	OME	ALEI	02H

PDWUE: 掉电模式唤醒使能位。

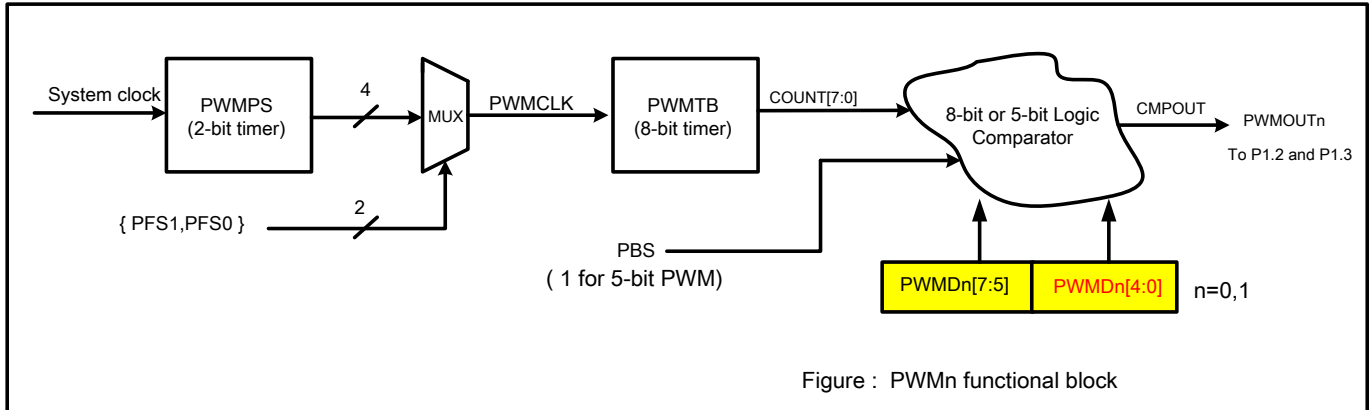
设为 1 时始能 INT0/INT1 可唤醒掉电模式的功能。

Pin Status in IDLE Mode and Power-Down Mode

Mode	Program Memory	ALE	PSEN	Port0	Port1	Port2	Port3
Idle	Internal	1	1	Data	Data	Data	Data
Idle	External	1	1	Float	Data	Address	Data
Power-Down	Internal	0	0	Data	Data	Data	Data
Power-Down	External	0	0	Float	Data	Data	Data

12. 脉宽调制器(PWM)

SM5952E有2路PWM通道。可依据PWMCn中的PBS位设定成8位或5位PWM分辨率。



符号	描述	地址	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	重置值
PWM											
P1CON	P1 Control Register	9BH	SDAE	SCLE	-	-	PWM1E	PWM0E	-	-	00H
PWMC0	PWM Control Register 0	D3H	-	-	-	-	-	PBS	PFS1	PFS0	00H
PWMC1	PWM Control Register 1	D4H	-	-	-	-	-	PBS	PFS1	PFS0	00H
PWMD0	PWM Data Register 0	B3H	D0.7	D0.6	D0.5	D0.4	D0.3	D0.2	D0.1	D0.0	00H
PWMD1	PWM Data Register 1	B4H	D1.7	D1.6	D1.5	D1.4	D1.3	D1.2	D1.1	D1.0	00H

符号: P1CON

地址: 9BH

7	6	5	4	3	2	1	0	Reset
SDAE	SCLE	-	-	PWM1E	PWM0E	-	-	00h

PWM1E: 设 1 可将 P1[3]当 PWM 通道 1 输出。

PWM0E: 设 1 可将 P1[3]当 PWM 通道 0 输出。

符号: PWMC[0:1]

地址: D3h & D4h

7	6	5	4	3	2	1	0	Reset
-	-	-	-	-	PBS	PFS1	PFS0	00h

PBS: 设 1 时 PWM 为 5 位分辨率。

PFS [1:0]: PWM 时钟除频选择:

PFS1	PFS0	PWM clock divider select
0	0	2
0	1	4
1	0	8
1	1	16



符号: **PWMD[0:1]**

地址: **B3h & B4h**

7	6	5	4	3	2	1	0	Reset
Dn.7	Dn.6	Dn.5	Dn.4	Dn.3	Dn.2	Dn.1	Dn.0	00h

n=0 或1。

当PWM设为8位时，Dn.7 ~ Dn.0为8位PWM数值寄存器。

当PWM设为5位时，Dn.4 ~ Dn.0为5位PWM数值寄存器。

13. Two-Wire Series Interface (TWSI)

两线串口传输 (TWSI) 相容于 IIC 规范, 可使用 SCL (时钟) 和 SDA (数据) 线来联系其它的 IIC 界面。

符号	描述	地址	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	重置值
TWSI											
P1CON	P1 Control Register	9BH	SDAE	SCLE	-	-	PWM1E	PWM0E	-	-	00H
TWSIS	TWSI Status Register	C0H	RXIF	TXIF	TFAIL	NAKIF	-	RXACK	MST	TXACK	00H
TWSIA	TWSI Address Register	C1H	ADR.6	ADR.5	ADR.4	ADR.3	ADR.2	ADR.1	ADR.0	ADR.MK	A0H
TWSIC1	TWSIC Control Register 1	C2H	TWSIE	-	-	-	Bus Busy	TWSIF S2	TWSIF S1	TWSIF S0	01H
TWSIC2	TWSIC Control Register 2	C3H	MATCH	SRW	-	-	RESTART	-	-	MRW	00H
TWSITXD	TWSI TX Data Register	C4H	TXD.7	TXD.6	TXD.5	TXD.4	TXD.3	TXD.2	TXD.1	TXD.0	FFH
TWSIRXD	TWSI RX Data Register	C5H	RXD.7	RXD.6	RXD.5	RXD.4	RXD.3	RXD.2	RXD.1	RXD.0	00H
IFR	Interrupt Flag Register	AAH	-	-	-	-	-	-	TWSIIF	-	00H

符号: P1CON 地址: 9Bh

7	6	5	4	3	2	1	0	Reset
SDAE	SCLE	-	-	PWM1E	PWM0E	-	-	00h

SDAE: 设 1 可将 P1[7] 当 SDA 脚。

SCLE: 设 1 可将 P1[6] 当 SCL 脚。

符号: TWSIS 地址: C0h

7	6	5	4	3	2	1	0	Reset
RXIF	TXIF	TFAIL	NAKIF	-	RXACK	MST	TXACK	00h

RXIF: 数据接收中断标志位, 在 TWSIRXD 载入一个新的接收数据时被置位。

TXIF: 数据传输中断标志位, 当所有位于转换寄存器中的位数据被传输时, 该位被置位。

TFAIL: 当传输数据失败时此标志会设为 1。(仅主机模式)

NAKIF: NACK 中断标志位。(仅主机模式)

RXACK: 接收确认位。置零, 这意味着一个确认信号已经收到在完成 8 位数据传输总线上后。(只读)

MST: 设 1 工作在主机模式。

TXACK: 传输确认位。当收到完整的 8 位数据, 此位将设置(NACK) 或清除(ACK) 并传输到主机显示接收状态。

符号: **TWSIA** 地址: **C1h**

7	6	5	4	3	2	1	0	Reset
ADR.6	ADR.5	ADR.4	ADR.3	ADR.2	ADR.1	ADR.0	ADRMK	A0h

ADR[6:0]: 从机地址寄存器。

ADRMK: 地址屏蔽位。若设为 1 仅比对 4 位的 MSB, ADR.2 – ADR.0 将被排除, 指比对 ADR.6-ADR.3 是否正确。

符号: **TWSIC1** 地址: **C2h**

7	6	5	4	3	2	1	0	Reset
TWSIE	-	-	-	BusBusy	TWSIFS2	TWSIFS1	TWSIFS0	01h

TWSIE: TWSI 功能始能位。

BusBusy: 当 TWSI 总线被侦测到“START”条件, 这个标志位将会被设为 1。当 TWSI 总线被侦测到“STOP”条件, 这个标志位将会被清除为 0。(只读)

TWSIFS[2:0]: TWSI 时钟速率选择。(仅主机模式)

TWSIFS[2:0]	SCL 频率
000	Xtal/32
001	Xtal/64 (默认值)
010	Xtal/128
011	Xtal/256
100	Xtal/512
101	Xtal/1024
110	Xtal/2048
111	Xtal/4096

符号: **TWSIC2** 地址: **C3h**

7	6	5	4	3	2	1	0	Reset
MATCH	SRW	-	-	RESTART	-	-	MRW	00h

MATCH: 当来自主机模式方的接收地址匹配时, 该位将被硬件置位。(只读 & 仅从机模式)

SRW: 当从机为传送时, 该标志位会设为 1。当从机为接收时, 该标志位会设为 0。(只读 & 仅从机模式)

RESTART: 当主机传出“START”条件, 主机接收到 ACK 讯号后, 该标志位将设为 1。如果 NAKIF 被设为 1 时(即接收到 NAK 讯号), 该标志位将被清除为 0。(仅主机模式)

MRW: 它用来告诉从属模式中将来的通信的方向。如设置为 1, 模块在主模式中为接收方, 如是 0, 模块在主模式中为传输方。(仅主机模式)

符号: **TWSITXD** 地址: **C4h**

7	6	5	4	3	2	1	0	Reset
TXD.7	TXD.6	TXD.5	TXD.4	TXD.3	TXD.2	TXD.1	TXD.0	FFh



TWSITXD: 在传输模式中，该字节通过该 SDA 被转换。

符号: TWSIRXD							地址: C5h	
7	6	5	4	3	2	1	0	Reset
RXD.7	RXD.6	RXD.5	RXD.4	RXD.3	RXD.2	RXD.1	RXD.0	00h

TWSIRXD: 在接收（读）模式中，接收的字节存储于此。

符号: IFR							地址: AAh	
7	6	5	4	3	2	1	0	Reset
-	-	-	-	-	-	TWSIIF	-	00h

TWSIIF: 若 RXIF、TXIF、TFIF 与 NAKIF 任一个标志位设为 1。（只读）

14. 在系统编程(Internal ISP)

SM5952E可通过内部硬件电路产生闪存控制讯号。用户利用闪存控制寄存器，闪存地址寄存器和闪存数据寄存器在不需要将SM5952E移出系统的情况下实现ISP功能。SM5952E提供了可以实现闪存编程/芯片擦除/页擦除/保护功能的闪存控制讯号。用户需要去设计和使用任何SM5952E可以输入数据的接口，然后利用ISP服务程序去实现闪存的编程/芯片擦除/页擦除/保护功能。

14.1 ISP 服务程序

ISP服务程序是由用户自行开发并放置于ISP服务程序区的物件。用户可依需求决定ISP服务程序的大小。另外用户需将ISP服务程序刻录至SM5952E芯片中才可使用ISP功能。

由于ISP服务程序是由用户自行开发，它需包括闪存数据寄存器的刻录及SM5952E芯片与上位机的通讯协议。举例来说，使用者使用SM5952E芯片上之UART接口与上位机作数据之传送及接收，则SM5952E芯片上之ISP服务程序内需有波特率设定，为避免数据传输错误需有数据总合检查或同位检查或其它错误检查机制。

14.2 锁定位(N)

锁定位N有两个功能：一是配置服务程序的大小，另一个则是通过闪存擦除功能锁定ISP服务程序的空间。

ISP服务程序地址位从\$2000到\$2FFF。可被分为N*512字节(N=0-8)。当N为0时没有ISP功能，所有的8KB+4KB字节闪存都被用来做程序存储。当N为1时，ISP服务程序占用512字节，剩余的3.5K字节闪存可被用做程序存储。ISP服务程序的最大空间为4K字节(当N为8时)。在这样的配置下，可用的程序存储空间为8K字节。

在N定下来后，SM5952E会从上往下(从最顶端到地址\$2FFF)保存ISP服务程序空间。ISP服务程序的开始地址位于\$2x00(如表 14-1所示)。

锁定位N功能不同于闪存保护功能，闪存擦除功能可以擦除除ISP服务程序空间外的所有闪存记忆体。如闪存没有被保护，ISP服务程序的内容一直可被读。如闪存被保护，所有的闪存程序空间包括ISP服务程序空间不能被读。

表 14-1 ISP code area

	ISP service program address
0	No ISP service program
1	512 bytes (\$2E00h ~ \$2FFFh)
2	1K bytes (\$2C00h ~ \$2FFFh)
3	1.5K bytes (\$2A00h ~ \$2FFFh)
4	2K bytes (\$2800h ~ \$2FFFh)
5	2.5K bytes (\$2600h ~ \$2FFFh)
6	3K bytes (\$2400h ~ \$2FFFh)
7	3.5K bytes (\$2200h ~ \$2FFFh)
8	4 K bytes (\$2000h ~ \$2FFFh)

ISP 服务程序配置于 N*512 字节 (N= 0 ~ 8)

14.3 对 ISP 服务程序编程

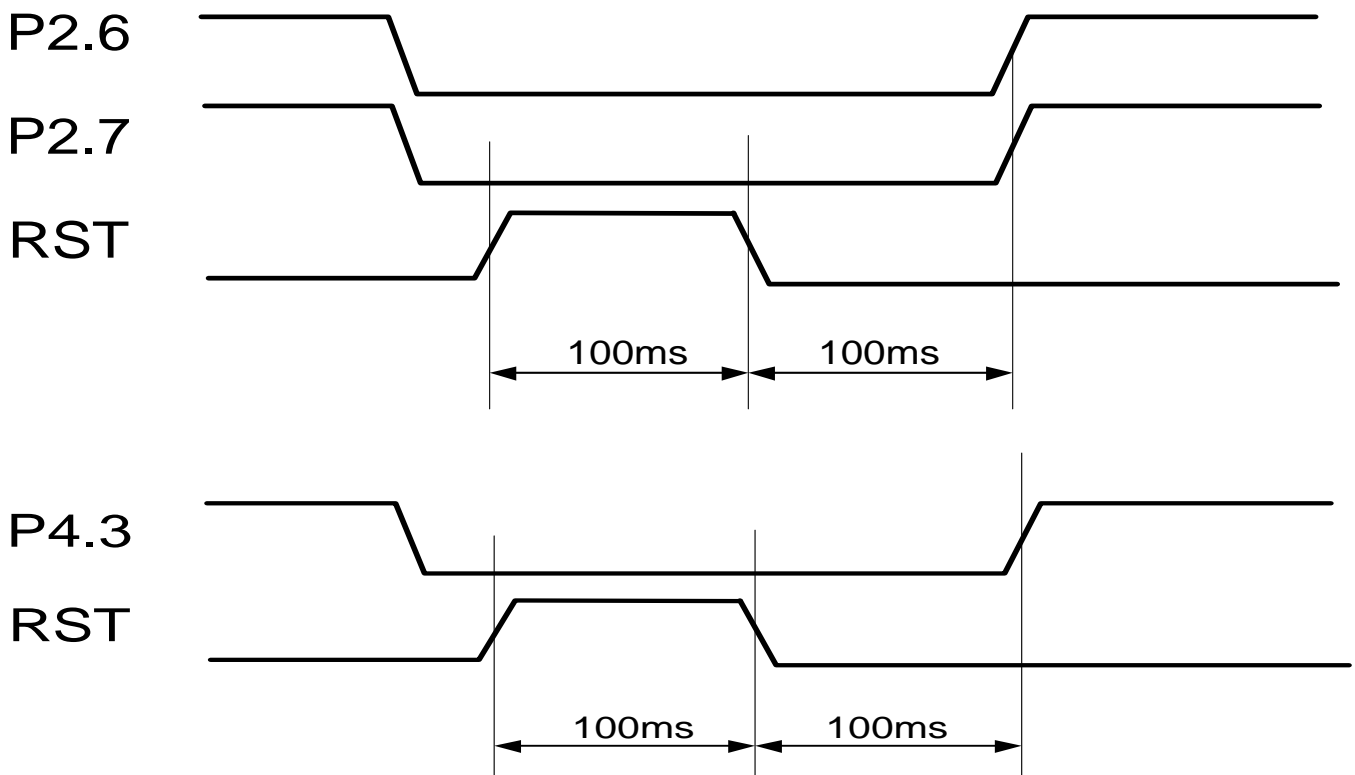
在锁定位N被设置并ISP服务程序被编程后，ISP服务程序记忆体被自动的保护(锁定)。锁定位N有它自己的编程/擦除时序。这不同于闪存记忆体的编程/擦除时序。因此，被锁定的ISP服务程序不可被闪存擦除功能所擦除。如客户需要擦除锁定的ISP服务程序，他只可以通过烧写器实现。当SM5952E在系统时，客户不可改变ISP服务程序。

14.4 启动 ISP 服务程序

要启动ISP服务程序就是要在ISP服务程序的开始地址装载程序计数(PC)并执行它。有三种实现的方法：

- (1) 空复位。用首地址为空(\$0000=#FFH)的硬件复位会在 ISP 服务程序的开始地址装载 PC。
- (2) 执行 JUMP 指令可在 ISP 服务程序的开始地址装载 PC。
- (3) 通过硬件设置进入 ISP 服务程序。用户可通过设置当硬件复位时，P2.6 与 P2.7 同时为低电平，SM5952E 会强行进入 ISP 服务程序。使用者可透编程器去设定使能或禁能，出厂默认值为使能。
- (4) 通过硬件设置进入 ISP 服务程序。用户可通过设置当硬件复位时，P4.3 为低电平，SM5952E 会强行进入 ISP 服务程序。使用者可透编程器去设定使能或禁能，出厂默认值为使能。

在硬件复位周期内，硬件可以侦测P2.6&P2.7状态或P4.3状态。如果他们满足了上面的其中一个条件，芯片将会自动跳转到ISP模式。在ISP服务程序被执行后，用户需要对SM5952E进行复位，通过硬件复位或WDT，或是'JUMP'至地址\$0000来实现重启程序。



14.5 ISP 寄存器– TAKEY, IFCON, ISPF AH, ISPFAL, ISPF D 与 ISPC

符号	描述	地址	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	重置值
ISP function											
ISPF AH	ISP Flash Address – High Register	F4h	ISPF AH [7:0]								00H
ISPFAL	ISP Flash Address - Low Register	F5h	ISPFAL [7:0]								00H
ISPF D	ISP Flash Data Register	F6h	ISPF D [7:0]								00H
ISPC	ISP Control Register	F7h	START	SPPG SE	ISPPGS[1:0]	-	-	ISPF[1:0]		00H	

符号: **ISPF AH** 地址: **F4H**

7	6	5	4	3	2	1	0	Reset
ISPF AH7	ISPF AH6	ISPF AH5	ISPF AH4	ISPF AH3	ISPF AH2	ISPF AH1	ISPF AH0	00H

ISPF AH [7:0]: 使用 ISP 功能之地址高字节。

符号: **ISPFAL** 地址: **F5H**

7	6	5	4	3	2	1	0	Reset
ISPFAL7	ISPFAL6	ISPFAL5	ISPFAL4	ISPFAL3	ISPFAL2	ISPFAL1	ISPFAL0	00H

ISPFAL [7:0]: 使用 ISP 功能之地址低字节。

ISPF AH 与 ISPFAL 提供了 16 位闪存记忆体地址用做 ISP 功能。这个闪存记忆体地址不应该包括 ISP 服务程序空间地址。若 ISPF AH & ISPFAL 寄存器控制的闪存记忆体地址覆盖了 ISP 服务程序空间的地址。这个闪存程序/页擦除等 ISP 功能的执行将会无效。

符号: **ISPF D** 地址: **F6h**

7	6	5	4	3	2	1	0	Reset
ISPF D7	ISPF D6	ISPF D5	ISPF D4	ISPF D3	ISPF D2	ISPF D1	ISPF D0	FFH

ISPF D [7:0]: 使用 ISP 功能之数值。

ISPF D 寄存器提供 ISP 功能中所需之 8 位数据寄存器。

符号: **ISPC** 地址: **F7h**

7	6	5	4	3	2	1	0	Reset
START	ISPPGSE	ISPPGS[1:0]		-	-	ISPF[1:0]		00H

START: ISP 功能启动位

= 1: 启动 ISP 指令并对 ISPF[1:0]操作

= 0: 无动作

ISPPGSE: ISP 页面选择启动位

= 1: 始能

= 0: 禁能

ISPPGS[1:0]: ISP Page Selection.

ISPPGSE, ISPPGS1, ISPPGS0	ISP 页面擦除时每页大小
000	512 字节
001	512 字节
010	512 字节
011	512 字节
100	512 字节
101	256 字节
110	128 字节
111	保留

ISPF [1:0]: ISP 功能选择位

ISPF[1:0]	ISP功能
00	字节编程
01	芯片保护
10	页面擦除
11	芯片擦除

选择的 ISP 功能在软件对 ISPC 寄存器写入数据时将会执行一次。

要实现字节编程/页擦除 ISP 功能，用户需要在开始时指定闪存地址。在实现页擦除功能时，SM5952E 将除 ISPFAH 与 ISPFAL 寄存器中显示地址所在的整页。

要实现芯片擦除 ISP 功能，SM5952E 将擦除除 ISP 服务程序外的所有闪存程序记忆体。要实现芯片保护 ISP 功能，SM5952E 内容将被读为#00H。如果在执行 ISP 指令时发生中断，将不会保留住中断。

范例：将对地址\$1005H 执行字节写，写入#22H

```

CLR EA          ;关闭中断
MOV ISPF, #55h
MOV ISPF, #0AAh
MOV ISPF, #55h ; ISPE 可写入属性
ORL SCONF, #04H ;使能 ISP 功能
MOV ISPFAH, #10H ;设定闪存高字节地址 10H
MOV ISPFAL, #05H ;设定闪存低字节地址 05H
MOV ISPF, #22H ;设定将写入闪存之资料 22H
MOV ISPC, #80H ;开始将写入闪存之资料#22H 写入地址$1005H
ANL SCONF, #0FBH ;禁止 ISP 功能
SETB EA        ;若有使用中断，则需再开启中断

```

Specifications subject to change without notice contact your sales representatives for the most recent information.

工作环境

Symbol	Description	Min.	Typ.	Max.	Unit.	Remarks
TA	Operating temperature	-40	25	85	°C	Ambient temperature under bias
VDD	Supply voltage	3		5.5	V	

DC电气特性

TA = -40°C to 85°C, VCC = 5.0V

Symbol	Parameter	Valid	Min.	Max.	Unit	Test Conditions
VIL1	Input Low Voltage	port 0,1,2,3,#EA	-0.5	0.8	V	
VIL2	Input Low Voltage	RES, XTAL1	0	0.8	V	
VIH1	Input High Voltage	port 0,1,2,3,#EA	2.0	Vcc+0.5	V	
VIH2	Input High Voltage	RES, XTAL1	70%Vcc	Vcc+0.5	V	
VOL1	Output Low Voltage	port 0, ALE, #PSEN		0.45	V	IOL=3.2mA
VOL2	Output Low Voltage	port 1,2,3,		0.45	V	IOL=1.6mA
VOH1	Output High Voltage	port 0	2.4		V	IOH=-800uA
			90%Vcc		V	IOH=-80uA
VOH2	Output High Voltage	port 1,2,3,ALE,#PSEN	2.4		V	IOH=-60uA
			90%Vcc		V	IOH=-10uA
IIL	Logical 0 Input Current	port 1,2,3		-75	uA	Vin=0.45V
ITL	Logical Transition Current	port 1,2,3		-650	uA	Vin=2.0V
ILI	Input Leakage Current	port 0, #EA		±10	uA	0.45V<Vin<Vcc
R RES	Reset Pull-down Resistance	RES	50	300	Kohm	
C IO	Pin Capacitance			10	pF	Freq=1MHz, Ta=25 °C
I CC	Power Supply Current	Vdd		20	mA	Active mode, 16MHz
				6.5	mA	Idle mode, 16MHz
				15	uA	Power down mode